

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-177709

(43)Date of publication of application : 27.06.2003

(51)Int.Cl.

G09G 3/30

G09F 9/30

G09G 3/20

H05B 33/14

(21)Application number : 2001-379714

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.12.2001

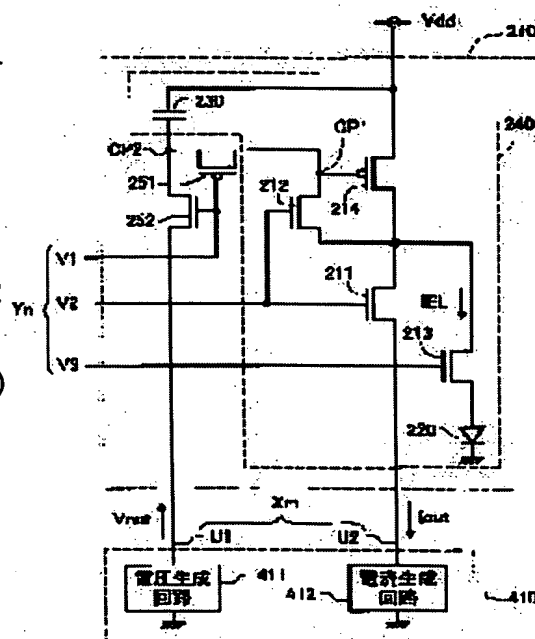
(72)Inventor : MIYAZAWA TAKASHI

## (54) PIXEL CIRCUIT FOR LIGHT EMITTING ELEMENT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology for setting the emission gradation of a current drive type light emitting element using a system different from that of the conventional practice.

SOLUTION: The pixel circuit 210 is provided with a current programming circuit 240 and transistors 251, 252 for voltage programming. At the time of setting the emission gradation of an organic EL (electroluminescent) element 220, voltage programming is performed by utilizing a voltage signal  $V_{out}$  by setting respectively first and second transistors 251, 252 for voltage programming to be in an OFF state and an ON state. Next, current programming is performed by utilizing a current signal  $I_{out}$  by changing states of the transistors 251, 252.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] An electro-optic device driven by the active-matrix driving method characterized by providing the following A pixel circuit matrix by which two or more pixel circuits containing a light emitting device were arranged in the shape of a matrix Two or more scanning lines connected to a pixel circuit group arranged along with a line writing direction of said pixel circuit matrix, respectively, Two or more data lines connected to a pixel circuit group arranged along the direction of a train of said pixel circuit matrix, respectively, A scanning-line drive circuit for connecting with said two or more scanning lines, and choosing one line of said pixel circuit matrix, A data signal generation circuit which a data signal according to gradation of luminescence of said light emitting device is generated, and can be outputted on [ of said two or more data lines ] at least one data line, A current generation circuit for a preparation and said data signal generation circuit to generate a current signal as the 1st data signal outputted on said data line, A voltage generation circuit for generating a voltage signal as the 2nd data signal outputted on said data line is included. Said pixel circuit (i) A drive transistor prepared in a path of current of flowing to a light emitting device and the (ii) aforementioned light emitting device of a current drive mold, (iii) By connecting with a control electrode of said drive transistor, and holding the amount of charges according to a current value of a current signal supplied from said current generation circuit A maintenance capacitor for setting up a current value which flows to said drive transistor, (iv) The 1st switching transistor for controlling whether it connects between said maintenance capacitors and said data lines, and a charge is supplied to said maintenance capacitor according to said current signal, An implication and a current programming circuit where gradation of luminescence of said light emitting device is adjusted according to a current value of said current signal, The 2nd switching transistor for controlling whether according to a voltage signal which is connected to said maintenance capacitor and supplied from said voltage generation circuit, a charge is supplied to said maintenance capacitor

[Claim 2] It is an electro-optic device containing a voltage signal line for being an electro-optic device according to claim 1, and transmitting a current signal line for the data line for a pixel circuit group for one train transmitting said current signal, and said voltage signal.

[Claim 3] An electro-optic device which is an electro-optic device according to claim 1 or 2, and is further equipped with the 3rd switching transistor connected to a serial between said maintenance capacitor and said 1st switching transistor.

[Claim 4] It is the electro-optic device performed so that supply of a charge by said current signal may be completed after supply of a charge are an electro-optic device according to claim 1 to 3, and according [ supply of a charge to said maintenance capacitor ] to said voltage signal is completed.

[Claim 5] Supply of a charge are an electro-optic device according to claim 4, and according to said current signal to said maintenance capacitor is an electro-optic device started after supply of a charge by said voltage signal is completed.

[Claim 6] A pixel circuit for a light emitting device characterized by providing the following (i) A light emitting device of a current drive mold (ii) A drive transistor prepared in a path of current of flowing to said light emitting device, (iii) By connecting with a control electrode of said drive transistor, and

holding the amount of charges according to a current value of a current signal supplied from an external current generation circuit through a predetermined current signal line A maintenance capacitor for setting up a current value which flows to said drive transistor, (iv) The 1st switching transistor for controlling whether it connects between said maintenance capacitors and said current signal lines, and a charge is supplied to said maintenance capacitor according to said current signal, An implication and a current programming circuit where gradation of luminescence of said light emitting device is adjusted according to a current value of said current signal, The 2nd switching transistor for controlling whether according to a voltage signal which is connected to said maintenance capacitor and supplied from an external voltage generation circuit through a predetermined voltage signal line, a charge is supplied to said maintenance capacitor

[Claim 7] A drive method of an electro-optic device characterized by providing the following A light emitting device of a current drive mold A drive transistor prepared in a path of current of flowing to said light emitting device A maintenance capacitor which is connected to a control electrode of said drive transistor, and sets up a drive condition of said drive transistor By being the drive method of an electro-optic device equipped with a pixel circuit to include, and supplying a voltage signal to the (a) aforementioned maintenance capacitor In Ushiro's period which supply of a charge by said voltage signal completed at least a step which supplies a charge to said maintenance capacitor, and (b) -- A step which makes a charge according to gradation of said luminescence hold to said maintenance capacitor using a current signal which has a current value according to gradation of luminescence of said light emitting device

[Claim 8] By being the drive method of an electro-optic device characterized by providing the following, and supplying a voltage signal to said maintenance capacitor through the (a) aforementioned data line In Ushiro's period which supply of said voltage signal completed at least a step which makes both sides of said maintenance capacitor and said data line charge or discharge; and (b) -- A drive method of an electro-optic device characterized by equipping said maintenance capacitor with a step which makes a charge according to gradation of said luminescence hold using a current signal which has a current value according to gradation of luminescence of said light emitting device A light emitting device of a current drive mold A drive transistor prepared in a path of current of flowing to said light emitting device A maintenance capacitor which is connected to a control electrode of said drive transistor, and sets up a drive condition of said drive transistor The data line connected to a pixel circuit to include and said pixel circuit

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the technology of the pixel circuit of a current drive mold light emitting device.

[0002]

[Description of the Prior Art] In recent years, the electro-optic device using an organic EL device (Organic ElectroLuminescent element) is developed. Since an organic EL device is a spontaneous light corpuscle child and the back light is unnecessary, it is expected that the display of a low power, a high angle of visibility, and a high contrast ratio can be attained. In addition, in this specification, the "electro-optic device" means the equipment which changes an electrical signal into light. The most ordinary gestalt of an electro-optic device is equipment which changes the electrical signal showing an image into the light showing an image, and is suitable especially as a display.

[0003]

[Problem(s) to be Solved by the Invention] The pixel circuit of the voltage programming method which sets up luminescence gradation as a pixel circuit of an organic EL device according to a voltage value, and the pixel circuit of the current programming method which sets up luminescence gradation according to a current value exist. In addition, "programming" means the processing which sets luminescence gradation as a pixel circuit. Although the voltage programming method is comparatively high-speed, its setting precision of luminescence gradation may not be not much good. On the other hand, although the setting precision of luminescence gradation is comparatively good, a setup may take long duration comparatively to a current programming method.

[0004] Then, a pixel circuit of a different method from the former was desired. Such a request was a problem not only common to the display which used the organic EL device but the displays and electro-optic devices using a current drive mold light emitting device other than an organic EL device.

[0005] This invention is made in order to solve the conventional technical problem mentioned above, and it aims at offering the technology of setting up the luminescence gradation of a current drive mold light emitting device by different method from the former.

[0006]

[The means for solving a technical problem, and its operation and effect] In order to attain the above-mentioned purpose, the electro-optic device by this invention The pixel circuit matrix by which two or more pixel circuits which are the electro-optic devices driven by the active-matrix driving method, and contain a light emitting device were arranged in the shape of a matrix, Two or more scanning lines connected to the pixel circuit group arranged along with the line writing direction of said pixel circuit matrix, respectively, Two or more data lines connected to the pixel circuit group arranged along the direction of a train of said pixel circuit matrix, respectively, The scanning-line drive circuit for connecting with said two or more scanning lines, and choosing one line of said pixel circuit matrix, The data signal according to the gradation of luminescence of said light emitting device is generated, and it has the data signal generation circuit which can be outputted on [ of said two or more data lines ] at least

one data line. Said data signal generation circuit includes the current generation circuit for generating the current signal as the 1st data signal outputted on said data line, and the voltage generation circuit for generating the voltage signal as the 2nd data signal outputted on said data line. The drive transistor with which said pixel circuit was established in the path of current of flowing to the light emitting device and the (ii) aforementioned light emitting device of (i) current drive mold, (iii) By connecting with the control electrode of said drive transistor, and holding the amount of charges according to the current value of the current signal supplied from said current generation circuit The maintenance capacitor for setting up the current value which flows to said drive transistor, (iv) The 1st switching transistor for controlling whether it connects between said maintenance capacitors and said data lines, and said current signal is supplied to said maintenance capacitor, An implication and the current programming circuit where the gradation of luminescence of said light emitting device is adjusted according to the current value of said current signal, It connects with said maintenance capacitor and has the 2nd switching transistor for controlling whether the voltage signal supplied from said voltage generation circuit is supplied to said maintenance capacitor.

[0007] In such an electro-optic device, a voltage signal can be supplied to a maintenance capacitor through the 2nd switching transistor, voltage programming can be performed, a current signal can be supplied to a maintenance capacitor through the 1st switching transistor after that, and current programming can be performed. Consequently, it is comparatively possible to set up luminescence gradation with a sufficient precision at high speed.

[0008] The data line for the pixel circuit group for one train may contain the current signal line for transmitting said current signal, and the voltage signal line for transmitting said voltage signal.

[0009] Since it is supplied through the signal line with which a voltage signal differs from a current signal according to this configuration, adjustment of the supply timing of these two signals is easy.

[0010] In addition, you may make it the above-mentioned electro-optic device further equipped with the 3rd switching transistor connected to the serial between said maintenance capacitor and said 1st switching transistor.

[0011] According to this configuration, it is at the voltage programming and current programming time, and it is possible by controlling appropriately ON/OFF of the 3rd switching transistor to set up more accurate luminescence gradation at high speed.

[0012] In addition, after supply of the charge by said voltage signal is completed, as for supply of the charge to said maintenance capacitor, it is desirable to perform so that supply of the charge by said current signal may be completed.

[0013] Since the current which finally flows to a light emitting device by current programming is set up according to this configuration, it is possible to set up luminescence gradation with a more sufficient precision.

[0014] In addition, supply of the charge by said current signal to said maintenance capacitor may be made to be started after supply of the charge by said voltage signal is completed.

[0015] The 1st drive method of the electro-optic device by this invention The light emitting device of a current drive mold, and the drive transistor prepared in the path of current of flowing to said light emitting device, The maintenance capacitor which is connected to the control electrode of said drive transistor, and sets up the drive condition of said drive transistor, By being the drive method of the electro-optic device equipped with the pixel circuit to include, and supplying a voltage signal to the (a) aforementioned maintenance capacitor In Ushiro's period which supply of the charge by said voltage signal completed at least the step which supplies a charge to said maintenance capacitor, and (b) -- It is characterized by equipping said maintenance capacitor with the step which makes the charge according to the gradation of said luminescence hold using the current signal which has a current value according to the gradation of luminescence of said light emitting device.

[0016] Since according to this method luminescence gradation is finally set up using a current signal after supply of the charge to the maintenance capacitor by the voltage signal is performed, it is possible a high speed and to set up luminescence gradation correctly.

[0017] The 2nd drive method of the electro-optic device by this invention The light emitting device of a

current drive mold, and the drive transistor prepared in the path of current of flowing to said light emitting device, The maintenance capacitor which is connected to the control electrode of said drive transistor, and sets up the drive condition of said drive transistor, By being the drive method of the electro-optic device equipped with the pixel circuit to include and the data line connected to said pixel circuit, and supplying a voltage signal to said maintenance capacitor through the (a) aforementioned data line In Ushiro's period which supply of said voltage signal completed at least the step which makes the both sides of said maintenance capacitor and said data line charge or discharge, and (b) -- It is characterized by equipping said maintenance capacitor with the step which makes the charge according to the gradation of said luminescence hold using the current signal which has a current value according to the gradation of luminescence of said light emitting device.

[0018] Since according to this method luminescence gradation is finally set up using a current signal after charge or discharge of the both sides of the maintenance capacitor by the voltage signal and the data line is performed, it is still more possible a high speed and to set up luminescence gradation correctly.

[0019] In addition, this invention can be realized with various gestalten, for example, can be realized with gestalten, such as a computer program for realizing the drive method of of the electronic instrument equipped with a pixel circuit, the electro-optic device using this pixel circuit and a display, and its electro-optic device and display, electronic equipment, and those equipment and devices, and the function of that method, a record medium which recorded that computer program, and a data signal embodied in the subcarrier including that computer program.

[0020]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained in order of the following based on an example.

A. 1st example: -- B. 2nd example: -- C. 3rd example: -- D. 4th example: -- E. 5th example: -- modification: [0021] besides F. A. The 1st example : drawing 1 is the block diagram showing the outline configuration of the indicating equipment as the 1st example of this invention. This display has a controller 100, the display matrix section 200 (it is also called a "pixel field"), the gate driver 300, and the data-line driver 400. A controller 100 generates the gate line driving signal and data-line driving signal for making it display on the display matrix section 200, and supplies them to a gate driver 300 and the data-line driver 400, respectively.

[0022] Drawing 2 shows the internal configuration of the display matrix section 200 and the data-line driver 400. The display matrix section 200 has two or more pixel circuits 210 arranged in the shape of a matrix, and each pixel circuit 210 has the organic EL device 220, respectively. Two or more data lines  $X_m$  ( $m=1-M$ ) extended along the direction of a train and two or more gate lines  $Y_n$  ( $n=1-N$ ) extended along with a line writing direction are connected to the matrix of the pixel circuit 210, respectively. In addition, the data line is also called a "source line" and a gate line is also called the "scanning line." moreover -- this specification -- the pixel circuit 210 -- "an unit circuit" -- or it is also only called a "pixel." The transistor in the pixel circuit 210 usually consists of TFT(s) (thin film transistor).

[0023] A gate driver 300 is driven alternatively [ one ] in two or more gate lines  $Y_n$ , and chooses the pixel circuit group for one line. The data-line driver 400 has two or more single line drivers 410 for driving each data line  $X_m$ , respectively. These single line drivers 410 supply a data signal to the pixel circuit 210 through each data line  $X_m$ . If the internal state (it mentions later) of the pixel circuit 210 is set up according to this data signal, the current value which flows to an organic EL device 220 according to this will be controlled, consequently the gradation of luminescence of an organic EL device 220 will be controlled.

[0024] Drawing 3 is the circuit diagram showing the pixel circuit 210 of the 1st example, and the internal configuration of the single line driver 410. This pixel circuit 210 is a circuit arranged at the intersection of the m-th data line and the n-th gate line  $Y_n$ . In addition, 1 set of data lines  $X_m$  contain the two sub data lines  $U_1$  and  $U_2$ , and 1 set of gate lines  $Y_n$  contain three subgate lines  $V_1-V_3$ .

[0025] The single line driver 410 has the voltage generation circuit 411 and the current generation circuit 412. The voltage generation circuit 411 minds the 1st sub data line  $U_1$ , and is a voltage signal

Vout to the pixel circuit 210. It supplies. Moreover, the current generation circuit 412 minds the 2nd sub data line U2, and is a current signal Iout to the pixel circuit 210. It supplies.

[0026] The pixel circuit 210 has the configuration in which two switching transistors 251,252 were added to the current programming circuit 240. The current programming circuit 240 is a circuit which adjusts the gradation of an organic EL device 220 according to the current value which flows to the 2nd sub data line U2.

[0027] Drawing 4 shows the equal circuit (namely, equal circuit of the current programming circuit 240) of the pixel circuit 210 in case the transistor 252 of others [ transistor / 251 ] is an OFF state by the ON state. This current programming circuit 240 has four transistors 211-214 and maintenance capacitors 230 (it is also called a "maintenance capacitor" or a "storage capacitor") other than an organic EL device 220. The maintenance capacitor 230 is the current signal Iout supplied through the 2nd sub data line U2. It is for holding the charge according to a current value and adjusting the gradation of luminescence of an organic EL device 220 by this. In this example, the 1st thru/or the 3rd transistor 211-213 are the n channel molds FET, and the 4th transistor 214 is the p channel mold FET. Since an organic EL device 220 is a light emitting device of the same current impregnation mold (current drive mold) as a photodiode, it is drawn with the mark of diode here.

[0028] The drain of the 1st transistor 211 is looked like [ the source of the 2nd transistor 212, the drain of the 3rd transistor 213 and the drain of the 4th transistor 214 ], and is connected, respectively. The drain of the 2nd transistor 212 is connected to the gate of the 4th transistor 214. The maintenance capacitor 230 is connected between the source/gate of the 4th transistor 214. Moreover, the source of the 4th transistor 214 is connected also to the power supply potential Vdd. The source of the 1st transistor 212 is connected to the current generation circuit 412 through the 2nd sub data line U2. The organic EL device 220 is connected between the source of the 3rd transistor 213, and touch-down potential. The gate of the 1st and the 2nd transistor 211,212 is connected to the 2nd subgate line V2 in common. Moreover, the gate of the 3rd transistor 213 is connected to the 3rd subgate line V3.

[0029] The 1st and the 2nd transistor 211,212 are switching transistors used in case a charge is accumulated in the maintenance capacitor 230 through the 2nd sub data line U2. The 3rd transistor 213 is a switching transistor maintained at an ON state in the luminescence period of an organic EL device 220. Moreover, the 4th transistor 214 is a drive transistor for controlling the current value which flows to an organic EL device 220. The current value of the 4th transistor 214 is controlled by the amount of charges (the amount of stored charge) held at the maintenance capacitor 230.

[0030] The differences with the equal circuit shown in the pixel circuit 210 shown in drawing 3 and drawing 4 are the following points.

- (1) The switching transistor 251 is added between the node CP 1 ( drawing 4 ) of the drain of the 2nd transistor 212, and the gate of the 4th transistor, and the maintenance capacitor 230.
- (2) The switching transistor 252 is added between the node CP 2 of the maintenance capacitor 230 and a switching transistor 251, and the 1st sub data line U1.
- (3) The subgate line V1 connected common to the gate of two added transistors 251,252 is added.
- (4) Mind [ maintenance / 230 ] the 1st sub data line U1, and it is the voltage signal Vout from the voltage generation circuit 411. It can supply, and the 2nd sub data line U2 is minded, and it is the current signal Iout from the current generation circuit 412. It can supply.

[0031] In addition, below, the added transistor 251,252 is called "the voltage programming transistor 251,252." In the example of drawing 3 , the 1st voltage programming transistor 251 is the p channel mold FET, and the 2nd voltage programming transistor 252 is the n channel mold FET.

[0032] The 1st and the 2nd transistor 211,212 of the current programming circuit 240 are a current signal Iout. It has the function which controls whether a charge is supplied or not in the maintenance capacitor 230, and is equivalent to the "1st switching transistor" in this invention. Moreover, the 2nd voltage programming transistor 252 is a voltage signal Vout. It has the function which controls whether a charge is supplied or not in the maintenance capacitor 230, and is equivalent to the "2nd switching transistor" in this invention. Furthermore, the 1st voltage programming transistor 251 is equivalent to the "3rd switching transistor" in this invention. In addition, the 1st voltage programming transistor 251 can



also be omitted.

[0033] Drawing 5 is a timing chart which shows actuation of the pixel circuit 210. Here, they are the voltage value ("gate signals V1-V3" is called hereafter) of the subgate lines V1-V3, and the current value  $I_{out}$  of the 2nd sub data line U2. The current value  $I_{EL}$  which flows to an organic EL device 220 is shown.

[0034] The drive period  $T_c$  is divided into the programming period  $T_{pr}$  and the luminescence period  $T_{el}$ . Here, "the drive period  $T_c$ " means the period updated by a unit of 1 time, and the gradation of luminescence of all the organic EL devices 220 in the display matrix section 200 of it is the same as that of the so-called frame period. Renewal of gradation is performed for every pixel circuit group for one line, and renewal of sequential of the gradation of the pixel circuit group for N line is carried out between the drive periods  $T_c$ . For example, when the gradation of all pixel circuits is updated by 30Hz, the drive period  $T_c$  is about 33ms.

[0035] The programming period  $T_{pr}$  is a period which sets up the gradation of luminescence of an organic EL device 220 in the pixel circuit 210. On these specifications, a setup of the gradation to the pixel circuit 210 is called "programming." For example, the drive period  $T_c$  is about 33ms, and when the total N of the gate line  $Y_n$  (namely, line count of a pixel circuit matrix) is 480, the programming period  $T_{pr}$  becomes below about 69 microseconds ( $= 33\text{ms}/480$ ).

[0036] In the programming period  $T_{pr}$ , first, the 2nd and the 3rd gate signal V2 and V3 are set as L level, and the 1st and the 3rd transistor 211,213 are maintained at an OFF state (closed state). And while setting the 1st gate signal V1 as H level and setting the 1st voltage programming transistor 251 as an OFF state (closed state), the 2nd voltage programming transistor 252 is set as an ON state (open condition). The voltage generation circuit 411 (drawing 3) is the voltage signal  $V_{out}$  of a voltage value predetermined [ corresponding to luminescence gradation at this time ]. It generates. However, voltage signal  $V_{out}$  if it carries out, it is also possible to use the signal which always has a fixed voltage value, without depending on luminescence gradation. This voltage signal  $V_{out}$  if the maintenance capacitor 230 is supplied through the 2nd voltage programming transistor 252, in the maintenance capacitor 230, it is a voltage signal  $V_{out}$ . The charge according to a voltage value is accumulated.

[0037] In this way, voltage signal  $V_{out}$  after programming to depend is completed, while bringing down the 1st gate signal V1 on L level and setting the 1st voltage programming transistor 251 as an ON state, the 2nd voltage programming transistor 252 is set as an OFF state. At this time, the pixel circuit 210 turns into an equal circuit shown in drawing 4. In this condition, on the 2nd sub data line U2, the 2nd gate signal V2 is set as H level for the current value  $I_m$  according to luminescence gradation with a sink, and the 1st and the 2nd transistor 211,212 are made into an ON state (drawing 5 (b), (e)). At this time, the current generation circuit 412 (drawing 3) functions as a constant current source which passes the fixed current value  $I_m$  according to luminescence gradation. This current value  $I_m$  is set as the value according to the gradation of luminescence of an organic EL device 220 [ in the range  $R_I$  of a predetermined current value ] as shown in drawing 5 (e).

[0038] The maintenance capacitor 230 will be in the condition of having held the charge corresponding to the current value  $I_m$  which flows the 4th transistor 214 (drive transistor), as a result of programming by this current value  $I_m$ . At this time, the voltage memorized by the maintenance capacitor 230 is impressed between the source/gate of the 4th transistor 214. In addition, on these specifications, the current value  $I_m$  of the data signal used for programming is called "the programming current value  $I_m$ ."

[0039] Current signal  $I_{out}$  after programming to depend is completed, a gate driver 300 sets the 2nd gate signal V2 as L level, and makes the 1st and the 2nd transistor 211,212 an OFF state, and the current generation circuit 412 is a current signal  $I_{out}$ . It stops.

[0040] In the luminescence period  $T_{el}$ , the 1st gate signal V1 is maintained on L level, and the pixel circuit 210 is set as the condition of the equal circuit of drawing 4. Moreover, also maintaining the 2nd gate signal V2 on L level, and maintaining the 1st and the 2nd transistor 211,212 at an OFF state, the 3rd gate signal V3 is set as H level, and the 3rd transistor 213 is set as an ON state. Since the voltage corresponding to the programming current value  $I_m$  is beforehand memorized by the maintenance capacitor 230, to it, the almost same current as the programming current value  $I_m$  flows at the 4th

transistor 214. Therefore, the current almost same also to an organic EL device 220 as the programming current value  $I_m$  flows, and light is emitted with the gradation according to this current value  $I_m$ .

[0041] As mentioned above, the pixel circuit 210 of the 1st example is a voltage signal  $V_{out}$ . After performing programming to depend, it is a current signal  $I_{out}$ . Since programming to depend is performed, it is a voltage signal  $V_{out}$ . Compared with programming to depend, luminescence gradation can be set up correctly. Moreover, current signal  $I_{out}$  Compared with programming to depend, luminescence gradation can be set as a high speed. That is, this pixel circuit 210 can realize a setup of highly precise luminescence gradation at high speed compared with the former.

[0042] B. The 2nd example : drawing 6 is the circuit diagram showing the internal configuration of pixel circuit 210a of the 2nd example, and the single line driver 410. This pixel circuit 210a adds the 2nd maintenance capacitor 232 to the pixel circuit 210 of the 1st example, and other configurations are the same as the 1st example. This 2nd maintenance capacitor 232 is inserted between the drain of the 2nd transistor 212, and the node CP 1 of the gate of the 4th transistor and the power supply potential  $V_{dd}$ .

[0043] Drawing 7 is a timing chart which shows actuation of pixel circuit 210a of the 2nd example. In the 2nd example, the period whose the 1st gate signal  $V_1$  and 2nd gate signal  $V_2$  are [ both ] H level exists in the programming period  $T_{pc}$ . In the period which has the 1st gate signal  $V_1$  in H level, the 2nd voltage programming transistor 252 will be in an ON state, and it is a voltage signal  $V_{out}$ . Programming of the 1st maintenance capacitor 230 is performed. On the other hand in the period which has the 2nd gate signal  $V_2$  in H level, the 1st and the 2nd switching transistor 211, 212 in current programming circuit 240a will be in an ON state, and it is a current signal  $I_{out}$ . Programming of the 2nd maintenance capacitor 232 is performed. In addition, in the period both the 1st and whose 2nd gate signal  $V_1$  and  $V_2$  are H level, since the 1st voltage programming transistor 251 is maintained at the OFF state, voltage programming of the 1st maintenance capacitor 230 and current programming of the 2nd maintenance capacitor 232 are performed in parallel.

[0044] Then, if the 1st gate signal  $V_1$  falls to L level in advance of the 2nd gate signal  $V_2$ , voltage programming will be completed and programming (current programming) to two maintenance capacitors 230, 232 will be continued. Since voltage programming of the 1st maintenance capacitor 230 is beforehand carried out at this time, it is possible to shorten the time amount which making the suitable amount of charges for two maintenance capacitors 230, 232 hold takes.

[0045] It is a voltage signal  $V_{out}$  so that he can understand from this 2nd example. Programming to depend and current signal  $I_{out}$  It may be made to perform programming to depend to coincidence. However, in this case, like drawing 7 , if current programming is completed after voltage programming is completed, there is an advantage that the gradation of luminescence can be set up with a more sufficient precision. If it puts in another way, as for current programming, it is desirable to perform in Ushiro's period which voltage programming completed at least.

[0046] C. The 3rd example : drawing 8 is the circuit diagram showing the internal configuration of pixel circuit 210b of the 3rd example, and single line driver 410b. Voltage generation circuit 411 of this single line driver 410b b and current generation circuit 412b are connected to the power supply potential  $V_{dd}$ .

[0047] Pixel circuit 210b of the 3rd example is equipped with the so-called SANOFU type of current programming circuit 240b, and two voltage programming transistors 251b and 252b. Current programming circuit 240b has organic EL device 220b, four transistors 211b-214b, and maintenance capacitor 230b. In addition, four transistors 211b-214b of this example are the p channel molds FET. [0048] 2nd transistor 212b, maintenance capacitor 230b, 1st voltage programming transistor 251b, 1st transistor 211b, and organic EL device 220b are connected [ this order ] to the 2nd sub data line  $U_2$  at the serial. The drain of 1st transistor 211b is connected to organic EL device 220b. The 2nd subgate line  $V_2$  is connected to the gate of the 1st and the 2nd transistor 211b and 212b in common.

[0049] Between the power supply potential  $V_{dd}$  and touch-down potential, the series connection of 3rd transistor 213b, 4th transistor 214b, and organic EL device 220b is inserted. The drain of 3rd transistor 213b and the source of 4th transistor 214b are connected also to the drain of 2nd transistor 212b. The gate line  $V_3$  is connected to the gate of 3rd transistor 213b. Moreover, the gate of 4th transistor 214b is connected to the source of 1st transistor 211b.

[0050] Between the source/gate of 4th transistor 214b, the series connection of maintenance capacitor 230b and 1st voltage programming transistor 251b is inserted. At the time of luminescence of organic EL device 220b, since 1st voltage programming transistor 251b is maintained at an ON state, the voltage between the source/gate of 4th transistor 214b is determined according to the amount of stored charge of maintenance capacitor 230b.

[0051] The 1st and the 2nd transistor 211b and 212b are switching transistors used in case a desired charge is accumulated in maintenance capacitor 230b. 3rd transistor 213b is a switching transistor maintained at an ON state in the luminescence period of organic EL device 220b. Moreover, 4th transistor 214b is a drive transistor for controlling the current value which flows to organic EL device 220b.

[0052] The 1st and the 2nd transistor 211b and 212b of current programming circuit 240b are a current signal Iout. It has the function which controls whether a charge is supplied to maintenance capacitor 230b, and is equivalent to the "1st switching transistor" in this invention. Moreover, 2nd voltage programming transistor 252b is a voltage signal Vout. It has the function which controls whether a charge is supplied to maintenance capacitor 230b, and is equivalent to the "2nd switching transistor" in this invention. Furthermore, 1st voltage programming transistor 251b is equivalent to the "3rd switching transistor" in this invention. In addition, 1st voltage programming transistor 251b can also be omitted.

[0053] Drawing 9 is a timing chart which shows actuation of pixel circuit 210b of the 3rd example. In this actuation, the logic of the 2nd and the 3rd gate signal V2 and V3 is reversed from actuation of the 1st example shown in drawing 5. Moreover, in the 3rd example, in the programming period Tpr, programming current Im flows to organic EL device 220b via the 2nd and the 4th transistor 212b and 214b so that he can understand from the circuitry of drawing 8. Therefore, in the 3rd example, an organic EL device 220 emits light also in the programming period Tpr. Thus, an organic EL device 220 may emit light, or it is not necessary to emit light like the 1st example or the 2nd example in the programming period Tpr.

[0054] It has the effect as the 1st example or the 2nd example that this 3rd example is also the same. That is, since voltage programming and current programming are used together, compared with the case of only voltage programming, luminescence gradation can be set up correctly, and luminescence gradation can be set as a high speed compared with the case of only current programming.

[0055] D. The 4th example : drawing 10 is the circuit diagram showing the internal configuration of pixel circuit 210c of the 4th example, and single line driver 410c. Voltage generation circuit 411 of single line driver 410c and current generation circuit 412c are the power supply potential of minus. - It connects with Vee.

[0056] Pixel circuit 210c of the 4th example is equipped with current programming circuit 240c and two voltage programming transistors 251c and 252c. Current programming circuit 240c has organic EL device 220c, four transistors 211c-214c, and maintenance capacitor 230c. In addition, in this example, the 1st and the 2nd transistor 211c and 212c are the n channel molds FET, and the 3rd and the 4th transistor 213c and 214c are the p channel molds FET.

[0057] The 1st and the 2nd transistor 211c and 212c are connected [ this order ] to the 2nd sub data line U2 at the serial. The drain of 2nd transistor 212c is connected with the 3rd common to the gate of the transistor 213c and 214c. Moreover, the drain of 1st transistor 211c and the source of 2nd transistor 212c are connected common to the drain of the 3rd transistor. The drain of 4th transistor 214c minds organic EL device 220b, and is power supply potential. - It connects with Vee. The source of the 3rd and the 4th transistor 213c and 214c is grounded. Between the gate/source of the 3rd and the 4th transistor 213c and 214c, the series connection of 1st voltage programming transistor 251c and maintenance capacitor 230c is inserted. When 1st voltage programming transistor 251c is an ON state, maintenance capacitor 230c sets up the voltage between the source/gate of 4th transistor 214b which is the drive transistor of organic EL device 220c. Therefore, the luminescence gradation of organic EL device 220c is determined according to the amount of stored charge of maintenance capacitor 230c. Between one terminal of maintenance capacitor 230c, and the 1st sub data line U1, 2nd voltage programming transistor 252c is connected.

[0058] The 1st subgate line V1 is connected to the gate of two voltage programming transistors 251c and 252c in common. Moreover, the 2nd and 3rd subgate line V2 and V3 is connected to the gate of the 1st and the 2nd transistor 211c and 212c, respectively.

[0059] The 1st and the 2nd transistor 211c and 212c are switching transistors used in case a desired charge is accumulated in maintenance capacitor 230c. 4th transistor 214c is a drive transistor for controlling the current value which flows to an organic EL device 220. In addition, the 3rd and the 4th transistor 213c and 214c constitute the so-called current Miller circuit, and the current value which flows 3rd transistor 213c, and the current value which flows 4th transistor 214c are in predetermined proportionality. Therefore, if the programming current  $I_m$  of 3rd transistor 213c is passed through the 2nd sub data line U2, the current proportional to this will flow the 4th transistor 214c and organic EL device 220c. The ratio of these two current values is equal to the ratio of the gain coefficient  $\beta$  of two transistors 213c and 214c. In addition, a gain coefficient  $\beta$  is defined by  $\beta = (\mu C_0 W/L)$  as known well. Here,  $\mu$  is the mobility of a carrier, and  $C_0$ . Channel width and  $L$  of gate capacitance and  $W$  are channel length.

[0060] The 1st and the 2nd transistor 211c and 212c of this current programming circuit 240c are a current signal Iout. It has the function which controls whether a charge is supplied to maintenance capacitor 230c, and is equivalent to the "1st switching transistor" in this invention. Moreover, 2nd voltage programming transistor 252c is a voltage signal Vout. It has the function which controls whether a charge is supplied to maintenance capacitor 230c, and is equivalent to the "2nd switching transistor" in this invention. Furthermore, 2nd voltage programming transistor 251c is equivalent to the "3rd switching transistor" in this invention. In addition, 1st voltage programming transistor 251c can also be omitted.

[0061] Drawing 10 is a timing chart which shows actuation of pixel circuit 210c of the 4th example. In the programming period  $T_{pr}$ , first, only the 1st gate signal V1 serves as H level, and the 1st and 2nd voltage programming transistor 251c and 252c is set as an OFF state and an ON state, respectively. At this time, voltage generation circuit 411c minds the 1st sub data line U1, and it is a voltage signal Vout. Maintenance capacitor 230c is supplied and voltage programming is performed. Next, the 1st gate signal V1 falls to L level, and the 2nd and the 3rd gate signal V2 and V3 serve as H level. In the period which has the 2nd and the 3rd gate signal V2 and V3 in H level, the 1st and the 2nd switching transistor 211c and 212c in current programming circuit 240c will be in an ON state, and it is a current signal Iout. Programming of maintenance capacitor 230c is performed. At this time, it is a current signal Iout also to the 4th transistor 214c and organic EL device 220c. The current value  $I_{ma}$  proportional to a current value  $I_m$  (drawing 11 (e)) flows (drawing 11 (f)). At this time, the charge according to the drive condition of the 3rd and the 4th transistor 213c and 214c is accumulated in maintenance capacitor 230c. Therefore, even after the 2nd and the 3rd gate signal V2 and V3 fall to L level, to 4th transistor 214c and organic EL device 220c, the current value  $I_{ma}$  according to the amount of stored charge of maintenance capacitor 230c flows.

[0062] It has the same effect as other examples which also mentioned this 4th example above. That is, since voltage programming and current programming are used together, compared with the case of only voltage programming, luminescence gradation can be set up correctly, and luminescence gradation can be set as a high speed compared with the case of only current programming.

[0063] E. The 5th example : drawing 12 is the circuit diagram showing 210d of pixel circuits of the 5th example, and a single line driver 410d internal configuration. 210d of this pixel circuit is the same as the circuit shown in drawing 4. That is, in the 5th example, it does not have two switching transistors 251,252 prepared in the 1st example (drawing 3). Moreover, the subgate line V1 for these transistors 251,252 is also omitted. Single line driver 410d and the circuits 411d and 412d of the interior are the same as these circuits in the 1st example shown in drawing 3. However, in the 5th example, 411d of voltage generation circuits and 412d of current generation circuits differ from the 1st example at the point connected to one data signal line  $X_m$  in common.

[0064] Drawing 13 is a timing chart which shows actuation of 210d of pixel circuits of the 5th example. A voltage signal Vout (drawing 13 (c)) is supplied to the data line  $X_m$  from 411d of voltage generation circuits, voltage programming is performed, and charge of the data line  $X_m$  or discharge, and charge or

discharge of the maintenance capacitor 230 is performed in the first half of the programming period Tpr at this time. In the second half, a current signal Iout ( drawing 13 (d) ) is supplied from 412d of current generation circuits, and the maintenance capacitor 230 is programmed correctly. In the 5th example, since a switching transistor 211 is set as an ON state in both voltage programming and current programming, a gate signal V2 is maintained at H level in these both.

[0065] Thus, if voltage programming and current programming are used together also when the same pixel circuit as the former is used, compared with the case of only voltage programming, luminescence gradation can be set up correctly, and luminescence gradation can be set as a high speed compared with the case of only current programming. Especially, in the 5th example, after voltage programming is performed using the one data line Xm, current programming is carried out using the same data line Xm. By voltage programming, a kind of precharge is performed to both the data line Xm and the maintenance capacitor 230, and current programming is carried out after that. Therefore, it is possible to set up luminescence gradation at high speed and correctly compared with the former.

[0066] Drawing 14 is the circuit diagram showing the modification of the 5th example. In this modification, it differs from the configuration of drawing 12 in that 411d of voltage generation circuits is arranged at the supply voltage Vdd side. Also in such a circuit, the same effect as the circuit of drawing 12 is acquired.

[0067] In addition, like the 5th example, when performing voltage programming and current programming using the same data line Xm, a voltage programming period and current programming periods may overlap partially. In order to set up luminescence gradation correctly, in Ushiro's period which voltage programming (supply of a voltage signal) completed at least, it is desirable that the timing of a voltage signal and a current signal is adjusted so that current programming (supply of a current signal) may be performed.

[0068] F. Other modifications : in various kinds of examples of which F1:\*\*\*\* was done, although programmed for every pixel circuit group for one line (namely, line sequential), it may be made to instead program for every 1-pixel circuit (namely, point sequential). What is necessary is not to form one single line driver 410 (data signal generation circuit) in 1 set of every data-line Xm(s) (U1, U2), and to form only one single line driver 410 to the whole pixel circuit matrix, in programming to point sequential. At this time, one single line driver 410 should just be constituted so that a data signal (a voltage signal Vout and a current signal Iout) can be outputted on 1 set of data lines including the pixel circuit used as the candidate for programming. You may make it prepare the switching circuit which switches the connection relation between the single line driver 410 and two or more sets of data lines in order to realize this.

[0069] F2: Although all the transistors should be constituted from various kinds of examples mentioned above by FET, it is also possible to replace a part or all transistors by the bipolar transistor or the switching element of other classes. The gate electrode of FET and the base electrode of a bipolar transistor are equivalent to the "control electrode" in this invention. as these transistors of various kinds of -- a thin film transistor (TFT) -- in addition, the transistor of the silicon base is also employable.

[0070] F3: Although the programming period Tpr and the luminescence period Tel were divided, it is also possible to use a pixel circuit in which the programming period Tpr falls on a part of luminescence period Tel in the pixel circuit used in various kinds of examples mentioned above. For example, in actuation of drawing 9 or drawing 11 , Current IEL is flowing to the organic EL device also during the program period Tpr, and light is emitted. Therefore, the program period Tpr and the luminescence period Tel are able to think that it has lapped in part in these actuation.

[0071] F4: In various kinds of examples mentioned above, although the active-matrix driving method should be used, this invention can be applied, also when driving an organic EL device using the passive matrix driving method. However, since the demand to improvement in the speed of a drive is more strong to the indicating equipment which can adjust many gradation, and the indicating equipment using the active-matrix driving method, the effect of this invention is also more remarkable. Furthermore, this invention can be applied not only the display that arranged the pixel circuit in the shape of a matrix but when other arrays are adopted.

[0072] F5: Although the example mentioned above and the modification explained the example of the display which used the organic EL device, this invention is applicable also to the display and electronic instrument which used light emitting devices other than an organic EL device. For example, it is applicable also to the equipment which has the light emitting devices (LED, FED (Field Emission Display), etc.) of other classes which can adjust the gradation of luminescence according to drive current.

[0073] F6: The actuation explained in each example mentioned above is a mere example, and you may make it make actuation which is different in a pixel circuit perform. For example, it is also possible to set the pattern of change of gate signals V1-V3 as a different pattern from an above-mentioned example. Moreover, only when voltage programming judges whether it is necessity and is needed, it may be made to perform voltage programming. For example, the data signal supplied as a voltage signal may enable it to take the voltage value corresponding to all the gradation of a light emitting device. Moreover, the number of the voltage values of a data signal is better than the number of the gradation of a light emitting device at least. In the case of the latter, one voltage value of a data signal is matched for every range with the gradation of a light emitting device.

[0074] F7: The pixel circuit of each example mentioned above is applicable to the device which could apply to the indicating equipment of various electronic equipment, for example, was equipped with the video tape recorder of a personal computer, a cellular phone, a digital still camera, television and a viewfinder mold, or a monitor direct viewing type, car navigation equipment, a pager, an electronic notebook, a calculator, a word processor, the workstation, the TV phone, the POS terminal, and the touch panel.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

- [Drawing 1] The block diagram showing the outline configuration of the indicating equipment as the 1st example of this invention.
- [Drawing 2] The block diagram showing the internal configuration of the display matrix section 200 and the data-line driver 400.
- [Drawing 3] The circuit diagram showing the pixel circuit 210 of the 1st example, and the internal configuration of the single line driver 410.
- [Drawing 4] The circuit diagram showing the equal circuit of the pixel circuit 210 in case the transistor 252 of others [ transistor / 251 ] is an OFF state by the ON state.
- [Drawing 5] The timing chart which shows the usual actuation of the pixel circuit 210 of the 1st example.
- [Drawing 6] The circuit diagram showing the internal configuration of pixel circuit 210a of the 2nd example, and the single line driver 410.
- [Drawing 7] The timing chart which shows actuation of pixel circuit 210a of the 2nd example.
- [Drawing 8] The circuit diagram showing the internal configuration of pixel circuit 210b of the 3rd example, and single line driver 410b.
- [Drawing 9] The timing chart which shows actuation of pixel circuit 210b of the 3rd example.
- [Drawing 10] The circuit diagram showing the internal configuration of pixel circuit 210c of the 4th example, and single line driver 410c.
- [Drawing 11] The timing chart which shows actuation of pixel circuit 210c of the 4th example.
- [Drawing 12] The circuit diagram showing 210d of pixel circuits of the 5th example, and a single line driver 410d internal configuration.
- [Drawing 13] The timing chart which shows actuation of 210d of pixel circuits of the 5th example.
- [Drawing 14] The circuit diagram showing the configuration of the modification of the 5th example.

### [Description of Notations]

- 200 -- Display matrix section
- 210 -- Pixel circuit
- 211,212 -- Switching transistor (the 1st switching transistor)
- 213 -- Transistor
- 214 -- Drive transistor
- 220 -- Organic EL device
- 230,232 -- Maintenance capacitor
- 240 -- Current programming circuit
- 251 -- Voltage programming transistor (the 3rd switching transistor)
- 261 -- Voltage programming transistor (the 2nd switching transistor)
- 300 -- Gate driver
- 400 -- Data-line driver
- 410 -- Single line driver

411 -- Voltage generation circuit  
412 -- Current generation circuit

---

[Translation done.]



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

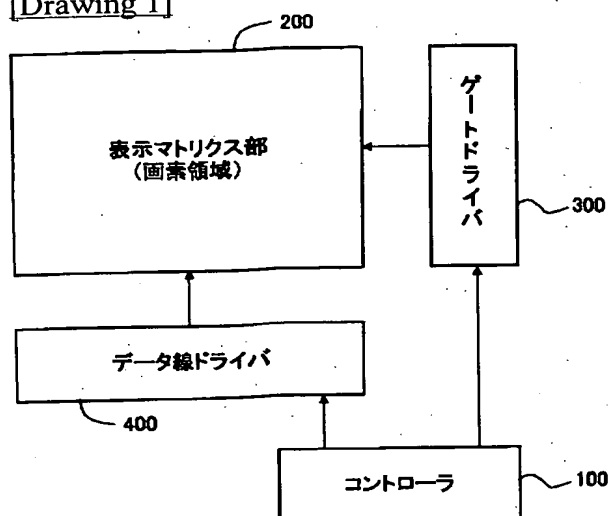
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

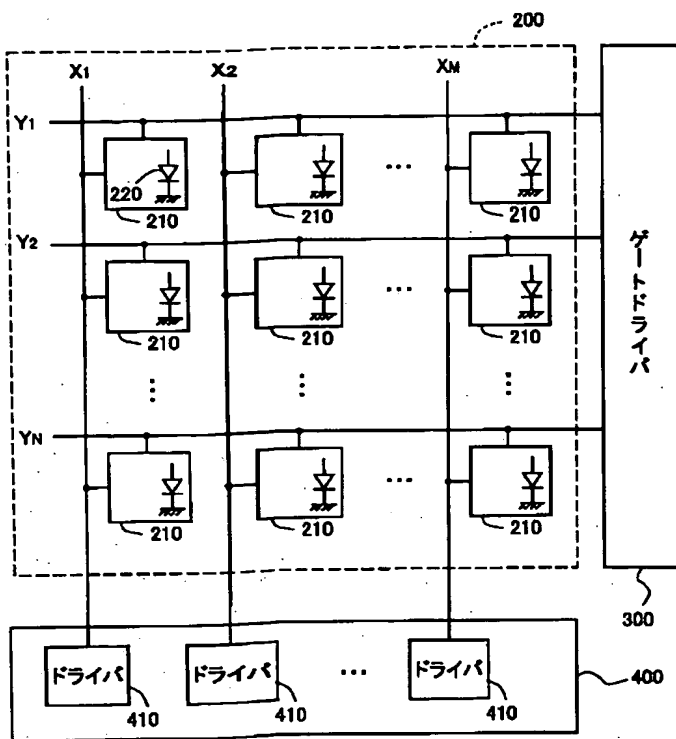
DRAWINGS

---

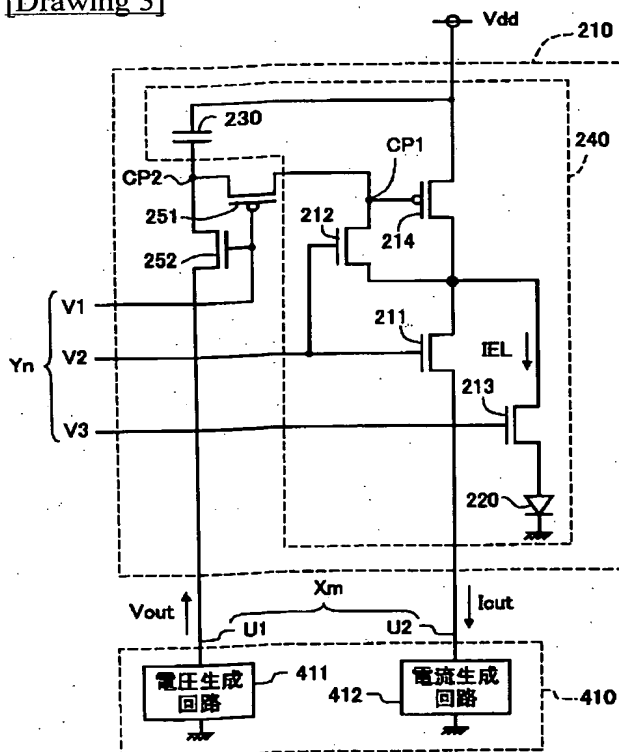
[Drawing 1]



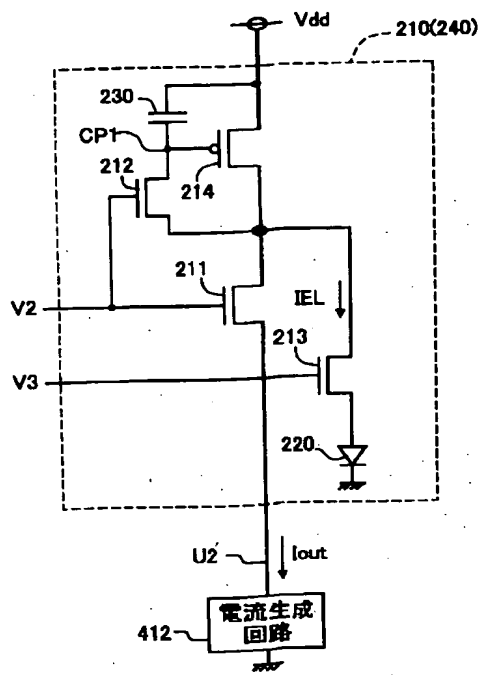
[Drawing 2]



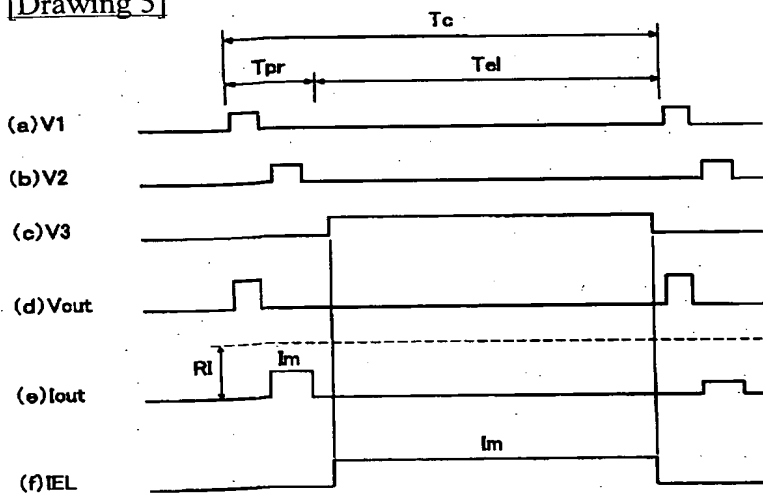
[Drawing 3]



[Drawing 4]

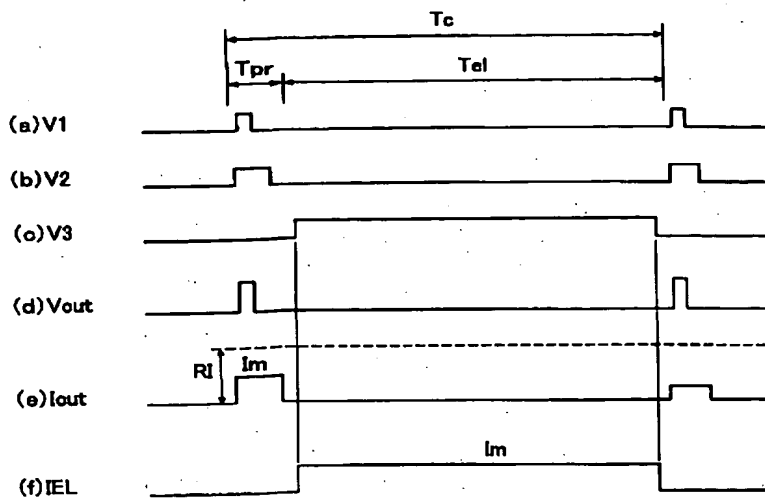


[Drawing 5]

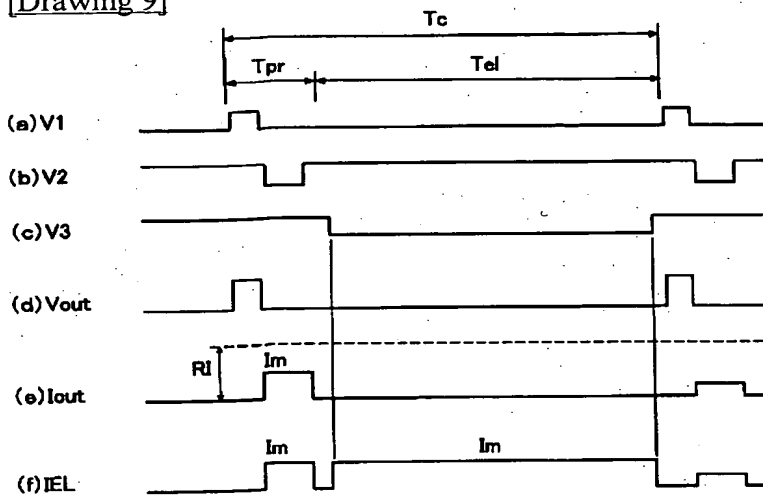


[Drawing 6]

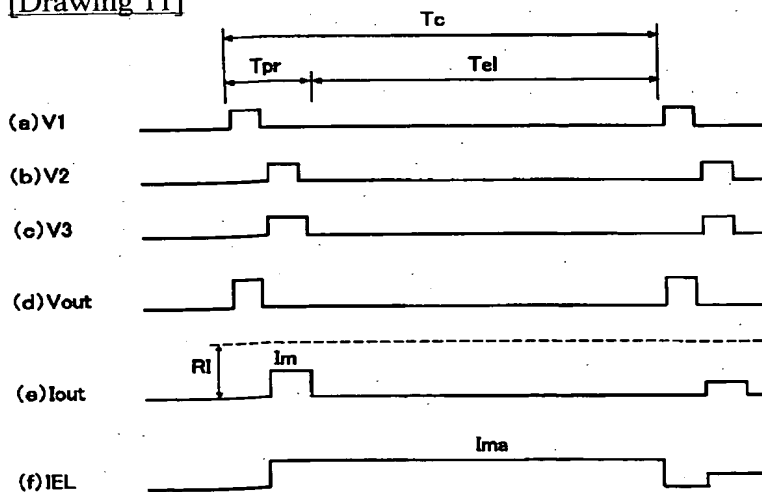




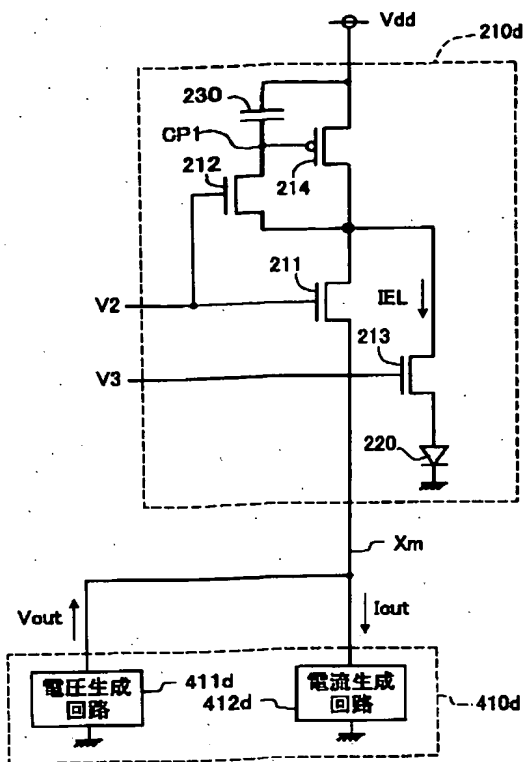
[Drawing 9]



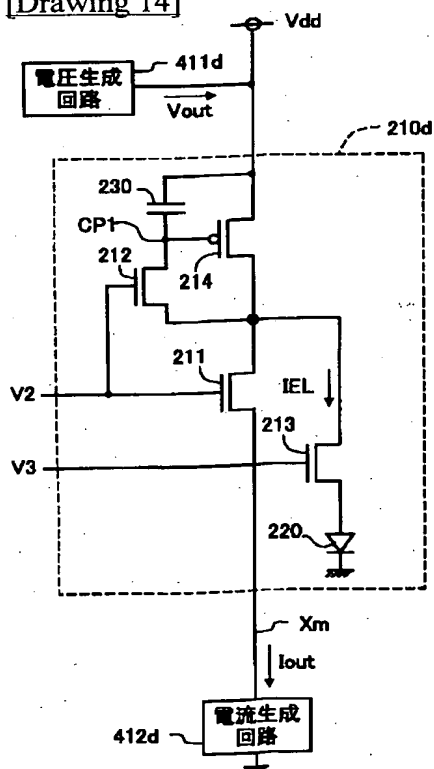
[Drawing 11]



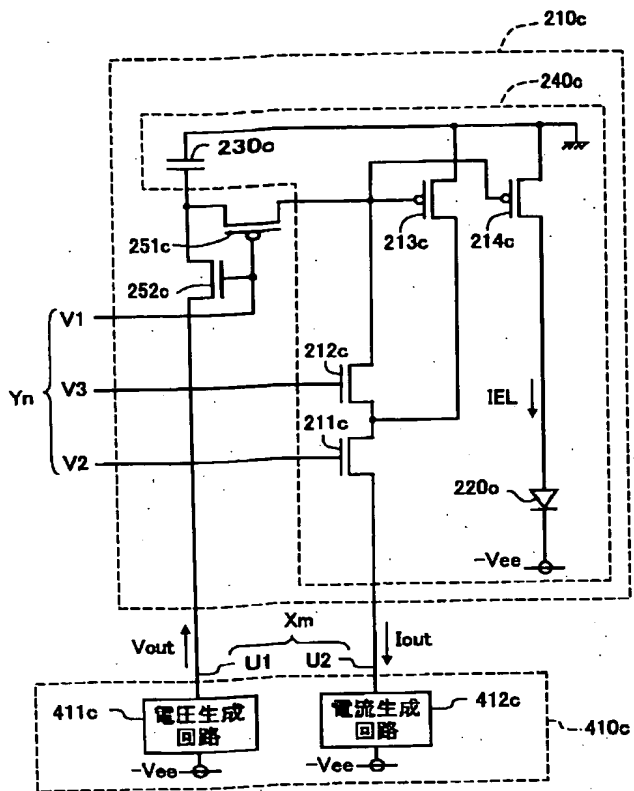
[Drawing 12]



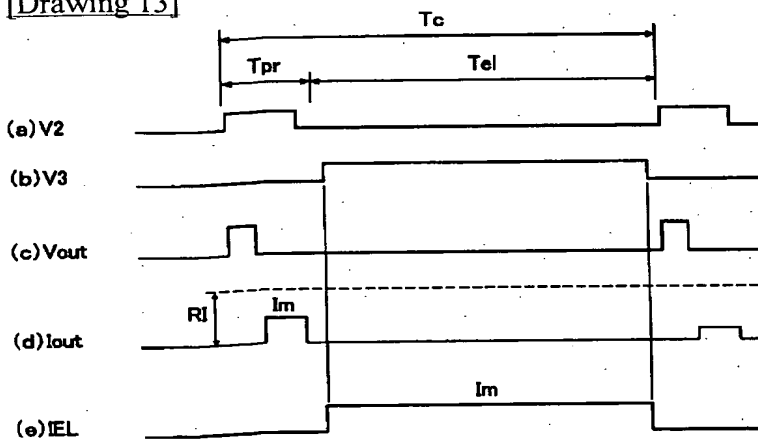
[Drawing 14]



[Drawing 10]



[Drawing 13]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2003-177709  
(P2003-177709A)

(43)公開日 平成15年6月27日(2003.6.27)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
			K 5 C 0 8 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 R
審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く			

(21)出願番号 特願2001-379714(P2001-379714)

(22)出願日 平成13年12月13日(2001.12.13)

(71)出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72)発明者 宮澤 貴士

長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

(74)代理人 110000028

特許業務法人明成国際特許事務所

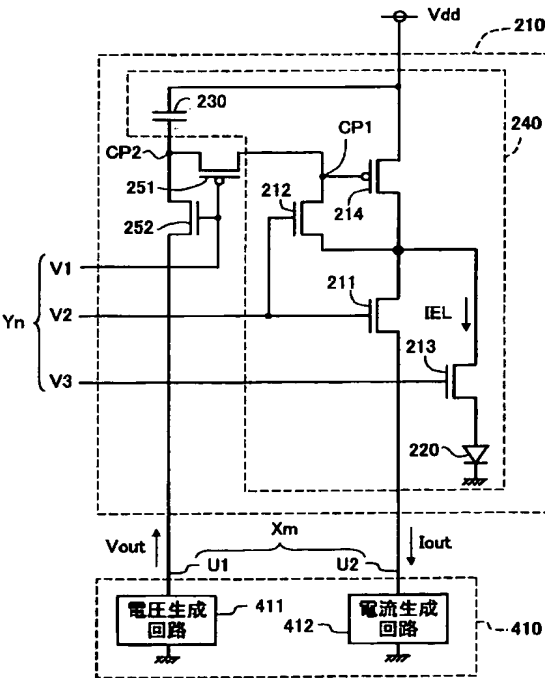
最終頁に続く

(54)【発明の名称】 発光素子用の画素回路

(57)【要約】

【課題】 従来とは異なる方式で電流駆動型発光素子の発光階調を設定する技術を提供する。

【解決手段】 画素回路210は、電流プログラミング回路240と、電圧プログラミング用トランジスタ251、252とを備える。有機EL素子220の発光階調の設定時には、第1と第2の電圧プログラミング用トランジスタ251、252をオフ状態とオン状態にそれぞれ設定し、電圧信号Voutを利用して電圧プログラミングを行う。次に、第1と第2の電圧プログラミング用トランジスタ251、252の状態を切換え、電流信号Ioutを利用して電流プログラミングを行う。





## 【特許請求の範囲】

【請求項 1】 アクティブマトリクス駆動法によって駆動される電気光学装置であって、発光素子を含む複数の画素回路がマトリクス状に配列された画素回路マトリクスと、

前記画素回路マトリクスの行方向に沿って配列された画素回路群にそれぞれ接続された複数の走査線と、

前記画素回路マトリクスの列方向に沿って配列された画素回路群にそれぞれ接続された複数のデータ線と、

前記複数の走査線に接続され、前記画素回路マトリクスの 1 つの行を選択するための走査線駆動回路と、

前記発光素子の発光の階調に応じたデータ信号を生成して、前記複数のデータ線のうちの少なくとも 1 つのデータ線に出力することが可能なデータ信号生成回路と、を備え、

前記データ信号生成回路は、前記データ線に出力される第 1 のデータ信号としての電流信号を生成するための電流生成回路と、前記データ線に出力される第 2 のデータ信号としての電圧信号を生成するための電圧生成回路と、を含んでおり、

前記画素回路は、(i) 電流駆動型の発光素子と、(i i) 前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、(i i i) 前記駆動トランジスタの制御電極に接続されており、前記電流生成回路から供給される電流信号の電流値に応じた電荷量を保持することによって、前記駆動トランジスタに流れる電流値を設定するための保持キャパシタと、(i v) 前記保持キャパシタと前記データ線との間に接続されており、前記電流信号に応じて前記保持キャパシタに電荷を供給するか否かを制御するための第 1 のスイッチングトランジスタと、を含み、前記電流信号の電流値に応じて前記発光素子の発光の階調が調節される電流プログラミング回路と、前記保持キャパシタに接続されており、前記電圧生成回路から供給される電圧信号に応じて前記保持キャパシタに電荷を供給するか否かを制御するための第 2 のスイッチングトランジスタと、を備える、電気光学装置。

【請求項 2】 請求項 1 記載の電気光学装置であって、1 列分の画素回路群のためのデータ線は、前記電流信号を伝送するための電流信号線と、前記電圧信号を伝送するための電圧信号線と、を含んでいる、電気光学装置。

【請求項 3】 請求項 1 または 2 記載の電気光学装置であって、さらに、前記保持キャパシタと前記第 1 のスイッチングトランジスタとの間に直列に接続された第 3 のスイッチングトランジスタを備える、電気光学装置。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載の電気光学装置であって、前記保持キャパシタへの電荷の供給は、前記電圧信号による電荷の供給が完了した後に前記電流信号による電荷の供給が完了するように実行される、電気光学装置。

【請求項 5】 請求項 4 記載の電気光学装置であって、前記保持キャパシタへの前記電流信号による電荷の供給は、前記電圧信号による電荷の供給が完了した後に開始される、電気光学装置。

【請求項 6】 発光素子のための画素回路であって、(i) 電流駆動型の発光素子と、(i i) 前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、(i i i) 前記駆動トランジスタの制御電極に接続されており、所定の電流信号線を介して外部の電流生成回路から供給される電流信号の電流値に応じた電荷量を保持することによって、前記駆動トランジスタに流れる電流値を設定するための保持キャパシタと、(i v) 前記保持キャパシタと前記電流信号線との間に接続されており、前記電流信号に応じて前記保持キャパシタに電荷を供給するか否かを制御するための第 1 のスイッチングトランジスタと、を含み、前記電流信号の電流値に応じて前記発光素子の発光の階調が調節される電流プログラミング回路と、

前記保持キャパシタに接続されており、所定の電圧信号線を介して外部の電圧生成回路から供給される電圧信号に応じて前記保持キャパシタに電荷を供給するか否かを制御するための第 2 のスイッチングトランジスタと、を備える画素回路。

【請求項 7】 電流駆動型の発光素子と、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、前記駆動トランジスタの制御電極に接続されて前記駆動トランジスタの駆動状態を設定する保持キャパシタと、含む画素回路を備えた電気光学装置の駆動方法であって、(a) 前記保持キャパシタに電圧信号を供給することによって、前記保持キャパシタに電荷を供給するステップと、(b) 少なくとも前記電圧信号による電荷の供給が完了した後の期間において、前記発光素子の発光の階調に応じた電流値を有する電流信号を利用して、前記保持キャパシタに前記発光の階調に応じた電荷を保持させるステップと、を備えることを特徴とする電気光学装置の駆動方法。

【請求項 8】 電流駆動型の発光素子と、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、前記駆動トランジスタの制御電極に接続されて前記駆動トランジスタの駆動状態を設定する保持キャパシタと、含む画素回路と、前記画素回路に接続されたデータ線と、を備えた電気光学装置の駆動方法であって、(a) 前記データ線を介して前記保持キャパシタに電圧信号を供給することによって、前記保持キャパシタと前記データ線との双方を充電または放電させるステップと、

(b) 少なくとも前記電圧信号の供給が完了した後の期間において、前記発光素子の発光の階調に応じた電流値を有する電流信号を利用して、前記保持キャパシタに前記発光の階調に応じた電荷を保持させるステップと、を備えることを特徴とする電気光学装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、電流駆動型発光素子の画素回路の技術に関する。

## 【0002】

【従来の技術】近年、有機EL素子(Organic ElectroLuminescent element)を用いた電気光学装置が開発されている。有機EL素子は、自発光素子であり、バックライトが不要なので、低消費電力、高視野角、高コントラスト比の表示装置を達成できるものと期待されている。なお、本明細書において、「電気光学装置」とは、電気信号を光に変換する装置を意味している。電気光学装置の最も普通の形態は、画像を表す電気信号を画像を表す光に変換する装置であり、特に表示装置として好適である。

## 【0003】

【発明が解決しようとする課題】有機EL素子の画素回路としては、電圧値に応じて発光階調を設定する電圧プログラミング方式の画素回路と、電流値に応じて発光階調を設定する電流プログラミング方式の画素回路とが存在する。なお、「プログラミング」とは、画素回路に発光階調を設定する処理を意味している。電圧プログラミング方式は、比較的高速であるが、発光階調の設定精度があまり良くない場合がある。一方、電流プログラミング方式は、発光階調の設定精度は比較的良好であるが、設定に比較的時間を要する場合がある。

【0004】そこで、従来とは異なる方式の画素回路が望まれていた。このような要望は、有機EL素子を用いた表示装置に限らず、有機EL素子以外の電流駆動型発光素子を用いた表示装置や電気光学装置に共通する問題であった。

【0005】本発明は、上述した従来の課題を解決するためになされたものであり、従来とは異なる方式で電流駆動型発光素子の発光階調を設定する技術を提供することを目的とする。

## 【0006】

【課題を解決するための手段およびその作用・効果】上記目的を達成するために、本発明による電気光学装置は、アクティブマトリクス駆動法によって駆動される電気光学装置であって、発光素子を含む複数の画素回路がマトリクス状に配列された画素回路マトリクスと、前記画素回路マトリクスの行方向に沿って配列された画素回路群にそれぞれ接続された複数の走査線と、前記画素回路マトリクスの列方向に沿って配列された画素回路群にそれぞれ接続された複数のデータ線と、前記複数の走査線に接続され、前記画素回路マトリクスの1つの行を選択するための走査線駆動回路と、前記発光素子の発光の階調に応じたデータ信号を生成して、前記複数のデータ線のうちの少なくとも1つのデータ線に出力することが可能なデータ信号生成回路と、を備える。前記データ

信号生成回路は、前記データ線に出力される第1のデータ信号としての電流信号を生成するための電流生成回路と、前記データ線に出力される第2のデータ信号としての電圧信号を生成するための電圧生成回路と、を含んでいる。前記画素回路は、(i)電流駆動型の発光素子と、(ii)前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、(iii)前記駆動トランジスタの制御電極に接続されており、前記電流生成回路から供給される電流信号の電流値に応じた電荷量を保持することによって、前記駆動トランジスタに流れる電流値を設定するための保持キャパシタと、(iv)前記保持キャパシタと前記データ線との間に接続されており、前記電流信号を前記保持キャパシタに供給するかどうかを制御するための第1のスイッチングトランジスタと、を含み、前記電流信号の電流値に応じて前記発光素子の発光の階調が調節される電流プログラミング回路と、前記保持キャパシタに接続されており、前記電圧生成回路から供給される電圧信号を、前記保持キャパシタに供給するかどうかを制御するための第2のスイッチングトランジスタと、を備える。

【0007】このような電気光学装置では、第2のスイッチングトランジスタを介して保持キャパシタに電圧信号を供給して電圧プログラミングを行い、その後、第1のスイッチングトランジスタを介して保持キャパシタに電流信号を供給して電流プログラミングを行うことができる。この結果、比較的高速で精度良く発光階調の設定を行うことが可能である。

【0008】1列分の画素回路群のためのデータ線は、前記電流信号を伝送するための電流信号線と、前記電圧信号を伝送するための電圧信号線と、を含んでもよい。

【0009】この構成によれば、電圧信号と電流信号が異なる信号線を介して供給されるので、これらの2つの信号の供給タイミングの調整が容易である。

【0010】なお、上記電気光学装置は、さらに、前記保持キャパシタと前記第1のスイッチングトランジスタとの間に直列に接続された第3のスイッチングトランジスタを備えるようにしてもよい。

【0011】この構成によれば、電圧プログラミング時と電流プログラミング時で第3のスイッチングトランジスタのオン/オフを適切に制御することによって、より高速で精度良い発光階調の設定を行うことが可能である。

【0012】なお、前記保持キャパシタへの電荷の供給は、前記電圧信号による電荷の供給が完了した後に前記電流信号による電荷の供給が完了するように実行されることが好ましい。

【0013】この構成によれば、最終的に電流プログラミングによって発光素子に流れる電流が設定されるので、発光階調をより精度良く設定することが可能であ

10

20

30

40

50

る。

【0014】なお、前記保持キャパシタへの前記電流信号による電荷の供給は、前記電圧信号による電荷の供給が完了した後に開始されるようにしてもよい。

【0015】本発明による電気光学装置の第1の駆動方法は、電流駆動型の発光素子と、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、前記駆動トランジスタの制御電極に接続されて前記駆動トランジスタの駆動状態を設定する保持キャパシタと、含む画素回路を備えた電気光学装置の駆動方法であって、(a) 前記保持キャパシタに電圧信号を供給することによって、前記保持キャパシタに電荷を供給するステップと、(b) 少なくとも前記電圧信号による電荷の供給が完了した後の期間において、前記発光素子の発光の階調に応じた電流値を有する電流信号を利用して、前記保持キャパシタに前記発光の階調に応じた電荷を保持させるステップと、を備えることを特徴とする。

【0016】この方法によれば、電圧信号による保持キャパシタへの電荷の供給が行われた後に、電流信号を利用して発光階調が最終的に設定されるので、高速かつ正確に発光階調を設定することが可能である。

【0017】本発明による電気光学装置の第2の駆動方法は、電流駆動型の発光素子と、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、前記駆動トランジスタの制御電極に接続されて前記駆動トランジスタの駆動状態を設定する保持キャパシタと、含む画素回路と、前記画素回路に接続されたデータ線と、を備えた電気光学装置の駆動方法であって、(a) 前記データ線を介して前記保持キャパシタに電圧信号を供給することによって、前記保持キャパシタと前記データ線との双方を充電または放電させるステップと、(b) 少なくとも前記電圧信号の供給が完了した後の期間において、前記発光素子の発光の階調に応じた電流値を有する電流信号を利用して、前記保持キャパシタに前記発光の階調に応じた電荷を保持させるステップと、を備えることを特徴とする。

【0018】この方法によれば、電圧信号による保持キャパシタおよびデータ線の双方の充電または放電が行われた後に、電流信号を利用して発光階調が最終的に設定されるので、さらに高速かつ正確に発光階調を設定することが可能である。

【0019】なお、本発明は、種々の形態で実現することが可能であり、例えば、画素回路、この画素回路を用いた電気光学装置や表示装置、その電気光学装置や表示装置を備えた電子装置や電子機器、それらの装置や機器の駆動方法、その方法の機能を実現するためのコンピュータプログラム、そのコンピュータプログラムを記録した記録媒体、そのコンピュータプログラムを含み搬送波内に具現化されたデータ信号、等の形態で実現することができる。

【0020】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. 第1実施例：

B. 第2実施例：

C. 第3実施例：

D. 第4実施例：

E. 第5実施例：

F. 他の変形例：

10 【0021】A. 第1実施例：図1は、本発明の第1実施例としての表示装置の概略構成を示すブロック図である。この表示装置は、コントローラ100と、表示マトリクス部200（「画素領域」とも呼ぶ）と、ゲートドライバ300と、データ線ドライバ400とを有している。コントローラ100は、表示マトリクス部200に表示を行わせるためのゲート線駆動信号とデータ線駆動信号を生成して、ゲートドライバ300とデータ線ドライバ400にそれぞれ供給する。

20 【0022】図2は、表示マトリクス部200とデータ線ドライバ400の内部構成を示している。表示マトリクス部200は、マトリクス状に配列された複数の画素回路210を有しており、各画素回路210は有機EL素子220をそれぞれ有している。画素回路210のマトリクスには、その列方向に沿って伸びる複数のデータ線 $X_m$  ( $m=1\sim M$ )と、行方向に沿って伸びる複数のゲート線 $Y_n$  ( $n=1\sim N$ )とがそれぞれ接続されている。なお、データ線は「ソース線」とも呼ばれ、また、ゲート線は「走査線」とも呼ばれる。また、本明細書では、画素回路210を「単位回路」あるいは単に「画素」とも呼ぶ。画素回路210内のトランジスタは、通常はTFT（薄膜トランジスタ）で構成される。

30 【0023】ゲートドライバ300は、複数のゲート線 $Y_n$ の中の1本を選択的に駆動して1行分の画素回路群を選択する。データ線ドライバ400は、各データ線 $X_m$ をそれぞれ駆動するための複数の単一ラインドライバ410を有している。これらの単一ラインドライバ410は、各データ線 $X_m$ を介して画素回路210にデータ信号を供給する。このデータ信号に応じて画素回路210の内部状態（後述する）が設定されると、これに応じて有機EL素子220に流れる電流値が制御され、この結果、有機EL素子220の発光の階調が制御される。

40 【0024】図3は、第1実施例の画素回路210と単一ラインドライバ410の内部構成を示す回路図である。この画素回路210は、 $m$ 番目のデータ線と $n$ 番目のゲート線 $Y_n$ との交点に配置されている回路である。なお、1組のデータ線 $X_m$ は2本のサブデータ線 $U_1$ 、 $U_2$ を含んでおり、1組のゲート線 $Y_n$ は3本のサブゲート線 $V_1\sim V_3$ を含んでいる。

50 【0025】単一ラインドライバ410は、電圧生成回路411と電流生成回路412とを有している。電圧生

成回路411は、第1のサブデータ線U1を介して画素回路210に電圧信号Vout を供給する。また、電流生成回路412は、第2のサブデータ線U2を介して画素回路210に電流信号Iout を供給する。

【0026】画素回路210は、電流プログラミング回路240に、2つのスイッチングトランジスタ251、252が追加された構成を有している。電流プログラミング回路240は、第2のサブデータ線U2に流れる電流値に応じて有機EL素子220の階調を調節する回路である。

【0027】図4は、トランジスタ251がオン状態で他のトランジスタ252がオフ状態である場合の画素回路210の等価回路（すなわち電流プログラミング回路240の等価回路）を示している。この電流プログラミング回路240は、有機EL素子220の他に、4つのトランジスタ211～214と、保持キャパシタ230（「保持コンデンサ」あるいは「記憶キャパシタ」とも呼ぶ）とを有している。保持キャパシタ230は、第2のサブデータ線U2を介して供給された電流信号Iout の電流値に応じた電荷を保持し、これによって、有機EL素子220の発光の階調を調節するためのものである。この例では、第1ないし第3のトランジスタ211～213はnチャンネル型FETであり、第4のトランジスタ214はpチャンネル型FETである。有機EL素子220は、フォトダイオードと同様の電流注入型（電流駆動型）の発光素子なので、ここではダイオードの記号で描かれている。

【0028】第1のトランジスタ211のドレインは、第2のトランジスタ212のソースと、第3のトランジスタ213のドレインと、第4のトランジスタ214のドレインと、にそれぞれ接続されている。第2のトランジスタ212のドレインは、第4のトランジスタ214のゲートに接続されている。保持キャパシタ230は、第4のトランジスタ214のソース／ゲート間に接続されている。また、第4のトランジスタ214のソースは、電源電位Vdにも接続されている。第1のトランジスタ212のソースは、第2のサブデータ線U2を介して電流生成回路412に接続されている。有機EL素子220は、第3のトランジスタ213のソースと接地電位との間に接続されている。第1と第2のトランジスタ211、212のゲートは、第2のサブゲート線V2に共通に接続されている。また、第3のトランジスタ213のゲートは、第3のサブゲート線V3に接続されている。

【0029】第1と第2のトランジスタ211、212は、第2のサブデータ線U2を介して保持キャパシタ230に電荷を蓄積する際に使用されるスイッチングトランジスタである。第3のトランジスタ213は、有機EL素子220の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第4のトランジ

スタ214は、有機EL素子220に流れる電流値を制御するための駆動トランジスタである。第4のトランジスタ214の電流値は、保持キャパシタ230に保持される電荷量（蓄積電荷量）によって制御される。

【0030】図3に示す画素回路210と図4に示す等価回路との差異は以下の点である。

(1) 第2のトランジスタ212のドレインと第4のトランジスタのゲートとの接続点CP1（図4）と、保持キャパシタ230との間に、スイッチングトランジスタ251が追加されている。

(2) 保持キャパシタ230とスイッチングトランジスタ251との接続点CP2と、第1のサブデータ線U1との間に、スイッチングトランジスタ252が追加されている。

(3) 追加された2つのトランジスタ251、252のゲートに共通に接続されたサブゲート線V1が追加されている。

(4) 保持キャパシタ230には、第1のサブデータ線U1を介して電圧生成回路411からの電圧信号Vout が供給可能であり、また、第2のサブデータ線U2を介して電流生成回路412からの電流信号Iout が供給可能である。

【0031】なお、以下では、追加されたトランジスタ251、252を、「電圧プログラミング用トランジスタ251、252」と呼ぶ。図3の例では、第1の電圧プログラミング用トランジスタ251はpチャンネル型FETであり、第2の電圧プログラミング用トランジスタ252はnチャンネル型FETである。

【0032】電流プログラミング回路240の第1と第2のトランジスタ211、212は、電流信号Iout によって保持キャパシタ230に電荷を供給するかどうかを制御する機能を有しており、本発明における「第1のスイッチングトランジスタ」に相当する。また、第2の電圧プログラミング用トランジスタ252は、電圧信号Vout によって保持キャパシタ230に電荷を供給するかどうかを制御する機能を有しており本発明における「第2のスイッチングトランジスタ」に相当する。さらに、第1の電圧プログラミング用トランジスタ251は、本発明における「第3のスイッチングトランジスタ」に相当する。なお、第1の電圧プログラミング用トランジスタ251は省略することも可能である。

【0033】図5は、画素回路210の動作を示すタイミングチャートである。ここでは、サブゲート線V1～V3の電圧値（以下、「ゲート信号V1～V3」も呼ぶ）と、第2のサブデータ線U2の電流値Iout と、有機EL素子220に流れる電流値IELとが示されている。

【0034】駆動周期Tcは、プログラミング期間Tpr と発光期間Tel とに分かれている。ここで、「駆動周期Tc」とは、表示マトリクス部200内のすべての

有機EL素子220の発光の階調が1回ずつ更新される周期を意味しており、いわゆるフレーム周期と同じものである。階調の更新は、1行分の画素回路群毎に行われ、駆動周期 $T_c$ の間にN行分の画素回路群の階調が順次更新される。例えば、30Hzで全面素回路の階調が更新される場合には、駆動周期 $T_c$ は約33msである。

【0035】プログラミング期間 $T_{pr}$ は、有機EL素子220の発光の階調を画素回路210内に設定する期間である。本明細書では、画素回路210への階調の設定を「プログラミング」と呼んでいる。例えば、駆動周期 $T_c$ が約33msであり、ゲート線 $Y_n$ の総数N（すなわち画素回路マトリクスの行数）が480本である場合には、プログラミング周期 $T_{pr}$ は約69 $\mu s$ （=33ms/480）以下になる。

【0036】プログラミング期間 $T_{pr}$ では、まず、第2と第3のゲート信号 $V_2$ 、 $V_3$ をLレベルに設定して第1と第3のトランジスタ211、213をオフ状態（閉状態）に保つ。そして、第1のゲート信号 $V_1$ をHレベルに設定して、第1の電圧プログラミング用トランジスタ251をオフ状態（閉状態）に設定するとともに、第2の電圧プログラミング用トランジスタ252をオン状態（開状態）に設定する。このとき、電圧生成回路411（図3）は、発光階調に応じた所定の電圧値の電圧信号 $V_{out}$ を生成する。但し、電圧信号 $V_{out}$ としては、発光階調に依らずに常に一定の電圧値を有する信号を利用することも可能である。この電圧信号 $V_{out}$ が、第2の電圧プログラミング用トランジスタ252を介して保持キャパシタ230に供給されると、保持キャパシタ230には電圧信号 $V_{out}$ の電圧値に応じた電荷が蓄積される。

【0037】こうして電圧信号 $V_{out}$ によるプログラミングが終了すると、第1のゲート信号 $V_1$ をLレベルに立ち下げて、第1の電圧プログラミング用トランジスタ251をオン状態に設定するとともに、第2の電圧プログラミング用トランジスタ252をオフ状態に設定する。このとき、画素回路210は図4に示した等価回路になる。この状態において、第2のサブデータ線 $U_2$ 上に発光階調に応じた電流値 $I_m$ を流しながら、第2のゲート信号 $V_2$ をHレベルに設定して第1と第2のトランジスタ211、212をオン状態にする（図5（b）、（e））。このとき、電流生成回路412（図3）は、発光階調に応じた一定の電流値 $I_m$ を流す定電流源として機能する。図5（e）に示されているように、この電流値 $I_m$ は、所定の電流値の範囲 $R_I$ 内において、有機EL素子220の発光の階調に応じた値に設定されている。

【0038】この電流値 $I_m$ によるプログラミングの結果、保持キャパシタ230は、第4のトランジスタ214（駆動トランジスタ）を流れる電流値 $I_m$ に対応した

電荷を保持した状態となる。このとき、第4のトランジスタ214のソース/ゲート間には、保持キャパシタ230に記憶された電圧が印加される。なお、本明細書では、プログラミングに用いられるデータ信号の電流値 $I_m$ を「プログラミング電流値 $I_m$ 」と呼ぶ。

【0039】電流信号 $I_{out}$ によるプログラミングが終了すると、ゲートドライバ300が第2のゲート信号 $V_2$ をLレベルに設定して第1と第2のトランジスタ211、212をオフ状態とし、また、電流生成回路412は電流信号 $I_{out}$ を停止する。

【0040】発光期間 $T_{el}$ では、第1のゲート信号 $V_1$ をLレベルに維持して画素回路210を図4の等価回路の状態に設定する。また、第2のゲート信号 $V_2$ もLレベルに維持し、第1と第2のトランジスタ211、212をオフ状態に保ったまま、第3のゲート信号 $V_3$ をHレベルに設定して第3のトランジスタ213をオン状態に設定する。保持キャパシタ230には、プログラミング電流値 $I_m$ に対応した電圧が予め記憶されているので、第4のトランジスタ214にはプログラミング電流値 $I_m$ とほぼ同じ電流が流れる。従って、有機EL素子220にもプログラミング電流値 $I_m$ とほぼ同じ電流が流れ、この電流値 $I_m$ に応じた階調で発光する。

【0041】以上のように、第1実施例の画素回路210は、電圧信号 $V_{out}$ によるプログラミングを行った後に、電流信号 $I_{out}$ によるプログラミングを行うので、電圧信号 $V_{out}$ のみによるプログラミングに比べて正確に発光階調を設定できる。また、電流信号 $I_{out}$ のみによるプログラミングに比べて高速に発光階調を設定できる。すなわち、この画素回路210は、従来に比べて高速で高精度な発光階調の設定を実現することが可能である。

【0042】B. 第2実施例：図6は、第2実施例の画素回路210aと単一ラインドライバ410の内部構成を示す回路図である。この画素回路210aは、第1実施例の画素回路210に、第2の保持キャパシタ232を追加したものであり、他の構成は第1実施例と同じである。この第2の保持キャパシタ232は、第2のトランジスタ212のドレインと第4のトランジスタのゲートの接続点CP1と、電源電位 $V_{dd}$ との間に介挿されている。

【0043】図7は、第2実施例の画素回路210aの動作を示すタイミングチャートである。第2実施例では、プログラミング期間 $T_{pc}$ において、第1のゲート信号 $V_1$ と第2のゲート信号 $V_2$ が共にHレベルである期間が存在する。第1のゲート信号 $V_1$ がHレベルにある期間では、第2の電圧プログラミング用トランジスタ252がオン状態となり、電圧信号 $V_{out}$ によって第1の保持キャパシタ230のプログラミングが実行される。一方、第2のゲート信号 $V_2$ がHレベルにある期間では、電流プログラミング回路240a内の第1と第2の

スイッチングトランジスタ211、212がオン状態となり、電流信号I<sub>out</sub>によって第2の保持キャパシタ232のプログラミングが実行される。なお、第1と第2のゲート信号V<sub>1</sub>、V<sub>2</sub>が共にHレベルである期間では、第1の電圧プログラミング用トランジスタ251はオフ状態に保たれているので、第1の保持キャパシタ230の電圧プログラミングと第2の保持キャパシタ232の電流プログラミングとが並行して行われる。

【0044】その後、第1のゲート信号V<sub>1</sub>が第2のゲート信号V<sub>2</sub>に先だってLレベルに立ち下がると、電圧プログラミングが完了し、2つの保持キャパシタ230、232へのプログラミング（電流プログラミング）が継続される。このとき、第1の保持キャパシタ230は予め電圧プログラミングされているので、2つの保持キャパシタ230、232に適切な電荷量を保持させるのに要する時間を短縮することが可能である。

【0045】この第2実施例から理解できるように、電圧信号V<sub>out</sub>によるプログラミングと、電流信号I<sub>out</sub>によるプログラミングとを同時に実行するようにしてもよい。但し、この場合に、図7のように、電圧プログラミングが完了した後に電流プログラミングを完了するようにすれば、発光の階調をより精度良く設定できるという利点がある。換言すれば、電流プログラミングは、少なくとも電圧プログラミングが完了した後の期間において実行されることが好ましい。

【0046】C. 第3実施例：図8は、第3実施例の画素回路210bと単一ラインドライバ410bの内部構成を示す回路図である。この単一ラインドライバ410bの電圧生成回路411bと電流生成回路412bは、電源電位V<sub>dd</sub>に接続されている。

【0047】第3実施例の画素回路210bは、いわゆるサーフ型の電流プログラミング回路240bと、2つの電圧プログラミング用トランジスタ251b、252bとを備えている。電流プログラミング回路240bは、有機EL素子220bと、4つのトランジスタ211b～214bと、保持キャパシタ230bとを有している。なお、この実施例の4つのトランジスタ211b～214bは、pチャンネル型FETである。

【0048】第2のサブデータ線U<sub>2</sub>には、第2のトランジスタ212bと、保持キャパシタ230bと、第1の電圧プログラミング用トランジスタ251bと、第1のトランジスタ211bと、有機EL素子220bとがこの順に直列に接続されている。第1のトランジスタ211bのドレインは、有機EL素子220bに接続されている。第1と第2のトランジスタ211b、212bのゲートには、第2のサブゲート線V<sub>2</sub>が共通に接続されている。

【0049】電源電位V<sub>dd</sub>と接地電位との間には、第3のトランジスタ213bと、第4のトランジスタ214bと、有機EL素子220bとの直列接続が介挿され

ている。第3のトランジスタ213bのドレインと第4のトランジスタ214bのソースは、第2のトランジスタ212bのドレインにも接続されている。第3のトランジスタ213bのゲートには、第3のゲート線V<sub>3</sub>が接続されている。また、第4のトランジスタ214bのゲートは、第1のトランジスタ211bのソースに接続されている。

【0050】第4のトランジスタ214bのソース／ゲート間には、保持キャパシタ230bと第1の電圧プログラミング用トランジスタ251bとの直列接続が介挿されている。有機EL素子220bの発光時には、第1の電圧プログラミング用トランジスタ251bはオン状態に保たれるので、第4のトランジスタ214bのソース／ゲート間の電圧は、保持キャパシタ230bの蓄積電荷量に応じて決定される。

【0051】第1と第2のトランジスタ211b、212bは、保持キャパシタ230bに所望の電荷を蓄積する際に使用されるスイッチングトランジスタである。第3のトランジスタ213bは、有機EL素子220bの発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第4のトランジスタ214bは、有機EL素子220bに流れる電流値を制御するための駆動トランジスタである。

【0052】電流プログラミング回路240bの第1と第2のトランジスタ211b、212bは、電流信号I<sub>out</sub>によって保持キャパシタ230bに電荷を供給する可否かを制御する機能を有しており、本発明における「第1のスイッチングトランジスタ」に相当する。また、第2の電圧プログラミング用トランジスタ252bは、電圧信号V<sub>out</sub>によって保持キャパシタ230bに電荷を供給する可否かを制御する機能を有しており本発明における「第2のスイッチングトランジスタ」に相当する。さらに、第1の電圧プログラミング用トランジスタ251bは、本発明における「第3のスイッチングトランジスタ」に相当する。なお、第1の電圧プログラミング用トランジスタ251bは省略することも可能である。

【0053】図9は、第3実施例の画素回路210bの動作を示すタイミングチャートである。この動作では、図5に示した第1実施例の動作から、第2と第3のゲート信号V<sub>2</sub>、V<sub>3</sub>の論理が反転している。また、第3実施例では、図8の回路構成から理解できるように、プログラミング期間T<sub>pr</sub>において、第2と第4のトランジスタ212b、214bを経由して有機EL素子220bにプログラミング電流I<sub>m</sub>が流れる。従って、第3実施例では、プログラミング期間T<sub>pr</sub>においても有機EL素子220が発光する。このように、プログラミング期間T<sub>pr</sub>では、有機EL素子220が発光しても良く、あるいは、第1実施例や第2実施例のように発光しなくてもよい。

【0054】この第3実施例も、第1実施例や第2実施例と同様の効果を有する。すなわち、電圧プログラミングと電流プログラミングとを併用しているの、電圧プログラミングのみの場合に比べて正確に発光階調を設定でき、また、電流プログラミングのみの場合に比べて高速に発光階調を設定できる。

【0055】D. 第4実施例：図10は、第4実施例の画素回路210cと単一ラインドライバ410cの内部構成を示す回路図である。単一ラインドライバ410cの電圧生成回路411cと電流生成回路412cは、マ

イナスの電源電位 $-V_{ee}$ に接続されている。  
【0056】第4実施例の画素回路210cは、電流プログラミング回路240cと、2つの電圧プログラミング用トランジスタ251c、252cとを備えている。電流プログラミング回路240cは、有機EL素子220cと、4つのトランジスタ211c～214cと、保持キャパシタ230cとを有している。なお、この例では第1と第2のトランジスタ211c、212cはnチャンネル型FETであり、第3と第4のトランジスタ213c、214cは、pチャンネル型FETである。

【0057】第2のサブデータ線U2には、第1と第2のトランジスタ211c、212cがこの順に直列に接続されている。第2のトランジスタ212cのドレインは、第3と第4のトランジスタ213c、214cのゲートに共通に接続されている。また、第1のトランジスタ211cのドレインと第2のトランジスタ212cのソースとが、第3のトランジスタのドレインに共通に接続されている。第4のトランジスタ214cのドレインは、有機EL素子220bを介して電源電位 $-V_{ee}$ に接続されている。第3と第4のトランジスタ213c、214cのソースは接地されている。第3と第4のトランジスタ213c、214cのゲート/ソース間には、第1の電圧プログラミング用トランジスタ251cと保持キャパシタ230cとの直列接続が介挿されている。第1の電圧プログラミング用トランジスタ251cがオン状態の時には、保持キャパシタ230cは、有機EL素子220cの駆動トランジスタである第4のトランジスタ214bのソース/ゲート間の電圧を設定する。従って、有機EL素子220cの発光階調は、保持キャパシタ230cの蓄積電荷量に応じて決定される。保持キャパシタ230cの一方の端子と、第1のサブデータ線U1との間には、第2の電圧プログラミング用トランジスタ252cが接続されている。

【0058】2つの電圧プログラミング用トランジスタ251c、252cのゲートには、第1のサブゲート線V1が共通に接続されている。また、第1と第2のトランジスタ211c、212cのゲートには、第2と第3のサブゲート線V2、V3がそれぞれ接続されている。

【0059】第1と第2のトランジスタ211c、212cは、保持キャパシタ230cに所望の電荷を蓄積す

る際に使用されるスイッチングトランジスタである。第4のトランジスタ214cは、有機EL素子220に流れる電流値を制御するための駆動トランジスタである。なお、第3と第4のトランジスタ213c、214cはいわゆるカレントミラー回路を構成しており、第3のトランジスタ213cを流れる電流値と、第4のトランジスタ214cを流れる電流値は所定の比例関係にある。従って、第2のサブデータ線U2を介して第3のトランジスタ213cのプログラミング電流 $I_m$ を流すと、これに比例した電流が第4のトランジスタ214cと有機EL素子220cとを流れる。これらの2つの電流値の比は、2つのトランジスタ213c、214cの利得係数 $\beta$ の比に等しい。なお、利得係数 $\beta$ は、良く知られているように、 $\beta = (\mu C_0 W/L)$ で定義される。ここで、 $\mu$ はキャリアの移動度、 $C_0$ はゲート容量、 $W$ はチャンネル幅、 $L$ はチャンネル長である。

【0060】この電流プログラミング回路240cの第1と第2のトランジスタ211c、212cは、電流信号 $I_{out}$ によって保持キャパシタ230cに電荷を供給する可否かを制御する機能を有しており、本発明における「第1のスイッチングトランジスタ」に相当する。また、第2の電圧プログラミング用トランジスタ252cは、電圧信号 $V_{out}$ によって保持キャパシタ230cに電荷を供給する可否かを制御する機能を有しており本発明における「第2のスイッチングトランジスタ」に相当する。さらに、第2の電圧プログラミング用トランジスタ251cは、本発明における「第3のスイッチングトランジスタ」に相当する。なお、第1の電圧プログラミング用トランジスタ251cは省略することも可能である。

【0061】図10は、第4実施例の画素回路210cの動作を示すタイミングチャートである。プログラミング期間 $T_{pr}$ では、まず、第1のゲート信号V1のみがHレベルとなり、第1と第2の電圧プログラミング用トランジスタ251c、252cがオフ状態とオン状態にそれぞれ設定される。このとき、電圧生成回路411cが、第1のサブデータ線U1を介して電圧信号 $V_{out}$ を保持キャパシタ230cに供給して、電圧プログラミングを行う。次に、第1のゲート信号V1がLレベルに立ち下がり、第2と第3のゲート信号V2、V3がHレベルとなる。第2と第3のゲート信号V2、V3がHレベルにある期間では、電流プログラミング回路240c内の第1と第2のスイッチングトランジスタ211c、212cがオン状態となり、電流信号 $I_{out}$ によって保持キャパシタ230cのプログラミングが実行される。このとき、第4のトランジスタ214cおよび有機EL素子220cにも、電流信号 $I_{out}$ の電流値 $I_m$  (図11(e))に比例した電流値 $I_{ma}$ が流れる (図11(f))。このとき、第3と第4のトランジスタ213c、214cの駆動状態に応じた電荷が保持キャパシタ

230cに蓄積される。従って、第2と第3のゲート信号V2、V3がLレベルに立ち下がった後も、第4のトランジスタ214cと有機EL素子220cには、保持キャパシタ230cの蓄積電荷量に応じた電流値Imaが流れる。

【0062】この第4実施例も、上述した他の実施例と同様の効果を有する。すなわち、電圧プログラミングと電流プログラミングとを併用しているので、電圧プログラミングのみの場合に比べて正確に発光階調を設定でき、また、電流プログラミングのみの場合に比べて高速に発光階調を設定できる。

【0063】E. 第5実施例：図12は、第5実施例の画素回路210dと単一ラインドライバ410dの内部構成を示す回路図である。この画素回路210dは、図4に示した回路と同じものである。すなわち、第5実施例では、第1実施例（図3）に設けられていた2つのスイッチングトランジスタ251、252を有していない。また、これらのトランジスタ251、252のためのサブゲート線V1も省略されている。単一ラインドライバ410dや、その内部の回路411d、412dは、図3に示した第1実施例におけるこれらの回路と同じものである。但し、第5実施例では、電圧生成回路411dと電流生成回路412dとが、1本のデータ信号線Xmに共通に接続されている点で第1実施例と異なる。

【0064】図13は、第5実施例の画素回路210dの動作を示すタイミングチャートである。プログラミング期間Tprの前半では電圧生成回路411dから電圧信号Vout（図13(c)）がデータ線Xmに供給されて電圧プログラミングが実行され、このとき、データ線Xmの充電または放電と、保持キャパシタ230の充電または放電とが行われる。後半では電流生成回路412dから電流信号Iout（図13(d)）が供給されて、保持キャパシタ230が正確にプログラミングされる。第5実施例では、電圧プログラミングと電流プログラミングの両方においてスイッチングトランジスタ211がオン状態に設定されるので、これらの両方においてゲート信号V2がHレベルに保たれる。

【0065】このように、従来と同じ画素回路を用いた場合にも、電圧プログラミングと電流プログラミングとを併用するようにすれば、電圧プログラミングのみの場合に比べて正確に発光階調を設定でき、また、電流プログラミングのみの場合に比べて高速に発光階調を設定できる。特に、第5実施例では、1つのデータ線Xmを用いて電圧プログラミングが行われた後に、同じデータ線Xmを用いて電流プログラミングが実施される。電圧プログラミングでは、データ線Xmと保持キャパシタ230の両方に対して一種のプリチャージが行われ、その後、電流プログラミングが実施される。従って、従来に比べて高速にかつ正確に発光階調を設定することが可能

である。

【0066】図14は、第5実施例の変形例を示す回路図である。この変形例では、電圧生成回路411dが、電源電圧Vdd側に配置されている点が図12の構成と異なる。このような回路においても、図12の回路と同様な効果が得られる。

【0067】なお、第5実施例のように、同一のデータ線Xmを用いて電圧プログラミングと電流プログラミングを行う場合に、電圧プログラミング期間と電流プログラミング期間とが部分的に重なり合っても良い。発光階調を正確に設定するためには、少なくとも電圧プログラミング（電圧信号の供給）が完了した後の期間において、電流プログラミング（電流信号の供給）が行われるように、電圧信号と電流信号のタイミングが調整されていることが好ましい。

【0068】F. 他の変形例：

F1：上述した各種の実施例では、1行分の画素回路群毎に（すなわち、線順次に）プログラミングを行っていたが、この代わりに、1画素回路毎に（すなわち、点順次に）プログラミングを行うようにしてもよい。点順次にプログラミングを行う場合には、1組のデータ線Xm（U1、U2）毎に1つの単一ラインドライバ410（データ信号生成回路）を設ける必要はなく、画素回路マトリクスの全体に対して、1つの単一ラインドライバ410のみを設けておけばよい。このとき、1つの単一ラインドライバ410は、プログラミング対象となる画素回路を含む1組のデータ線上に、データ信号（電圧信号Voutと電流信号Iout）を出力できるように構成されていけばよい。これを実現するために、例えば、単一ラインドライバ410と複数組のデータ線との接続関係を切り換えるスイッチ回路を設けるようにしてもよい。

【0069】F2：上述した各種の実施例では、すべてのトランジスタがFETで構成されているものとしていたが、一部または全部のトランジスタをバイポーラトランジスタや他の種類のスイッチング素子で置き換えることも可能である。FETのゲート電極と、バイポーラトランジスタのベース電極は、本発明における「制御電極」に相当する。これらの各種のトランジスタとしては、薄膜トランジスタ（TFET）に加えて、シリコンベースのトランジスタも採用可能である。

【0070】F3：上述した各種の実施例で用いた画素回路では、プログラミング期間Tprと発光期間Telとが分かれていたが、プログラミング期間Tprが発光期間Telの一部に重なるような画素回路を用いることも可能である。例えば、図9や図11の動作では、プログラム期間Tpr中にも有機EL素子に電流IELが流れており、発光している。従って、これらの動作では、プログラム期間Tprと発光期間Telとが一部重なっていると考えることも可能である。

【0071】F4：上述した各種の実施例においては、



アクティブマトリクス駆動法を利用するものとしていたが、本発明は、パッシブマトリクス駆動法を用いて有機 EL 素子を駆動する場合にも適用可能である。但し、多階調の調整が可能な表示装置や、アクティブマトリクス駆動法を用いる表示装置に対しては、駆動の高速化への要求がより強いので、本発明の効果もより顕著である。さらに、本発明は、画素回路をマトリクス状に配列した表示装置に限らず、他の配列を採用した場合にも適用することが可能である。

【0072】F5：上述した実施例や変形例では、有機 EL 素子を用いた表示装置の例を説明したが、本発明は、有機 EL 素子以外の発光素子を用いた表示装置や電子装置にも適用可能である。例えば、駆動電流に応じて発光の階調が調整可能な他の種類の発光素子（LED や FED（Field Emission Display）など）を有する装置にも適用することができる。

【0073】F6：上述した各実施例で説明した動作は単なる一例であり、画素回路に異なる動作を行わせるようにしてもよい。例えば、ゲート信号 V1～V3 の変化のパターンを上述の例とは異なるパターンに設定することも可能である。また、電圧プログラミングが必要か否かを判断して、必要とされる場合にのみ電圧プログラミングを実行するようにしてもよい。例えば、電圧信号として供給されるデータ信号が、発光素子のすべての階調に対応する電圧値を取り得るようにしてもよい。また、データ信号の電圧値の数は、発光素子の階調の数よりも少なくとも良い。後者の場合には、発光素子の階調のある範囲毎に、データ信号の 1 つの電圧値が対応付けられる。

【0074】F7：上述した各実施例の画素回路は、種々の電子機器の表示装置に適用可能であり、例えば、パーソナルコンピュータや、携帯電話、デジタルスチルカメラ、テレビ、ビューファインダ型やモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等に適用可能である。

#### 【図面の簡単な説明】

【図 1】本発明の第 1 実施例としての表示装置の概略構成を示すブロック図。

【図 2】表示マトリクス部 200 とデータ線ドライバ 400 の内部構成を示すブロック図。

【図 3】第 1 実施例の画素回路 210 と単一ラインドライバ 410 の内部構成を示す回路図。

イバ 410 の内部構成を示す回路図。

【図 4】トランジスタ 251 がオン状態で他のトランジスタ 252 がオフ状態の場合の画素回路 210 の等価回路を示す回路図。

【図 5】第 1 実施例の画素回路 210 の通常の動作を示すタイミングチャート。

【図 6】第 2 実施例の画素回路 210 a と単一ラインドライバ 410 の内部構成を示す回路図。

【図 7】第 2 実施例の画素回路 210 a の動作を示すタイミングチャート。

【図 8】第 3 実施例の画素回路 210 b と単一ラインドライバ 410 b の内部構成を示す回路図。

【図 9】第 3 実施例の画素回路 210 b の動作を示すタイミングチャート。

【図 10】第 4 実施例の画素回路 210 c と単一ラインドライバ 410 c の内部構成を示す回路図。

【図 11】第 4 実施例の画素回路 210 c の動作を示すタイミングチャート。

【図 12】第 5 実施例の画素回路 210 d と単一ラインドライバ 410 d の内部構成を示す回路図。

【図 13】第 5 実施例の画素回路 210 d の動作を示すタイミングチャート。

【図 14】第 5 実施例の変形例の構成を示す回路図。

#### 【符号の説明】

200…表示マトリクス部

210…画素回路

211, 212…スイッチングトランジスタ（第 1 のスイッチングトランジスタ）

213…トランジスタ

214…駆動トランジスタ

220…有機 EL 素子

230, 232…保持キャパシタ

240…電流プログラミング回路

251…電圧プログラミング用トランジスタ（第 3 のスイッチングトランジスタ）

261…電圧プログラミング用トランジスタ（第 2 のスイッチングトランジスタ）

300…ゲートドライバ

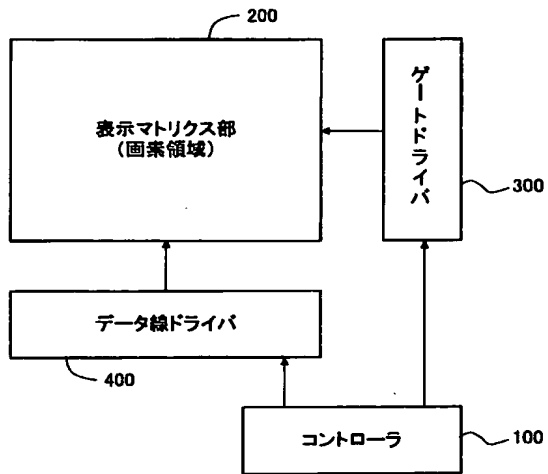
400…データ線ドライバ

410…単一ラインドライバ

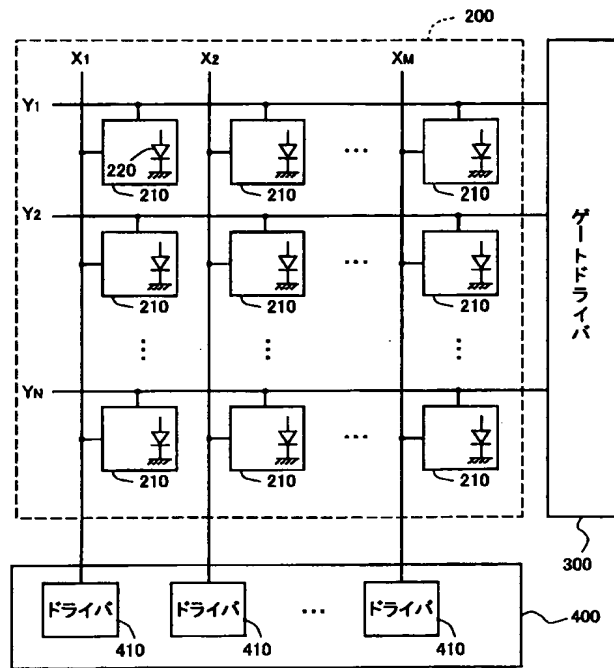
411…電圧生成回路

412…電流生成回路

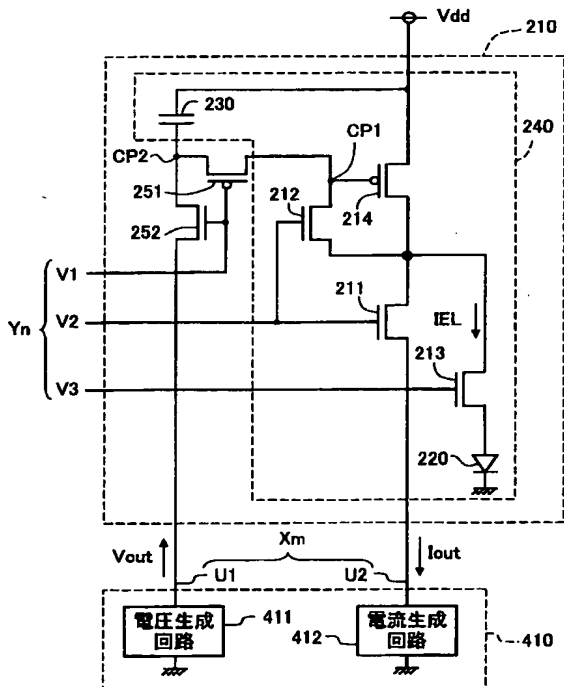
【図 1】



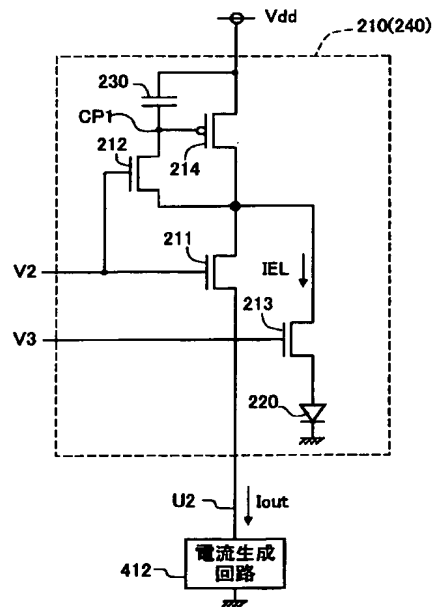
【図 2】



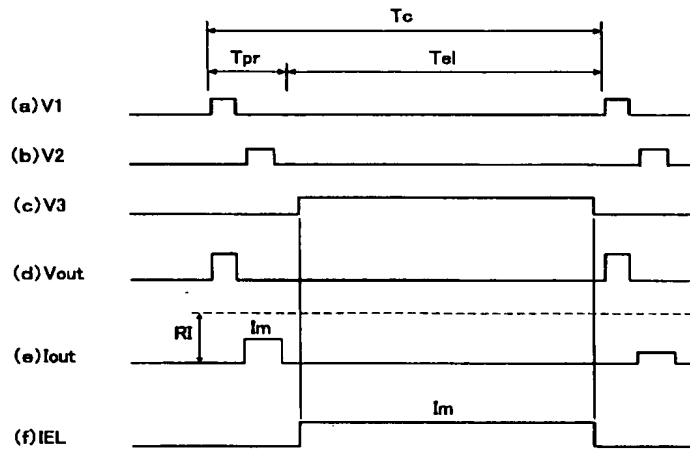
【図 3】



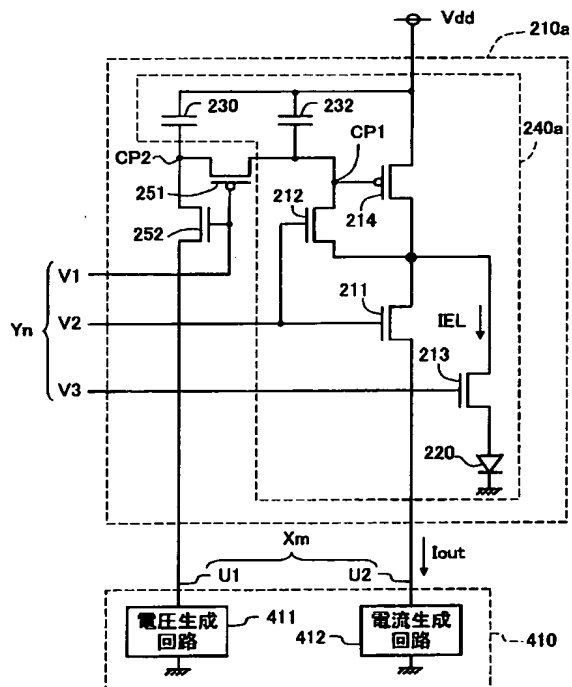
【図 4】



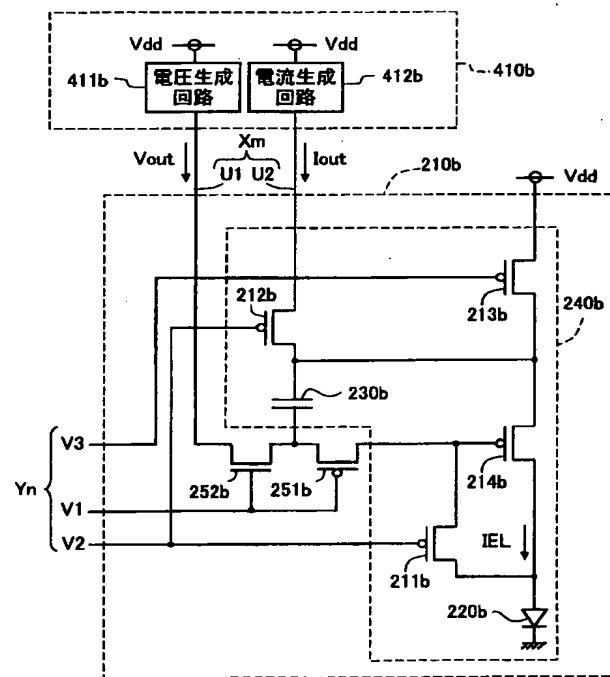
【図 5】



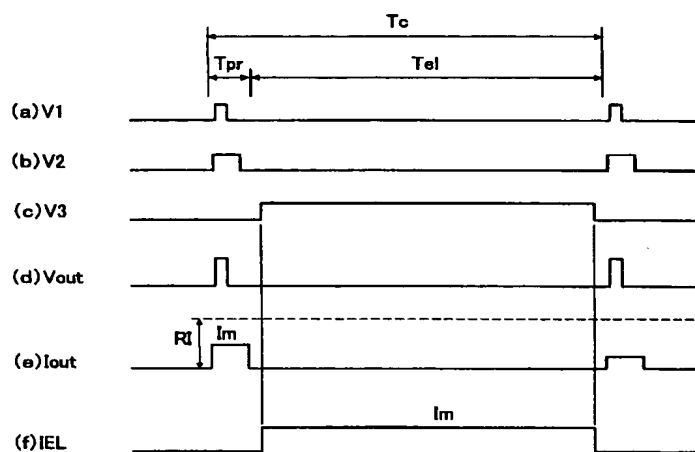
【図 6】



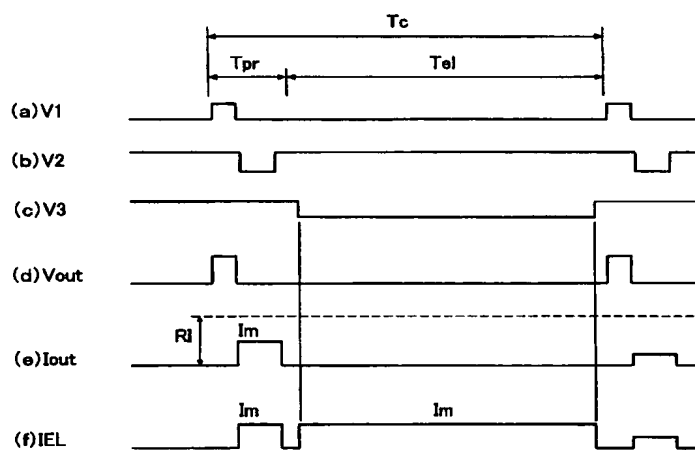
【図 8】



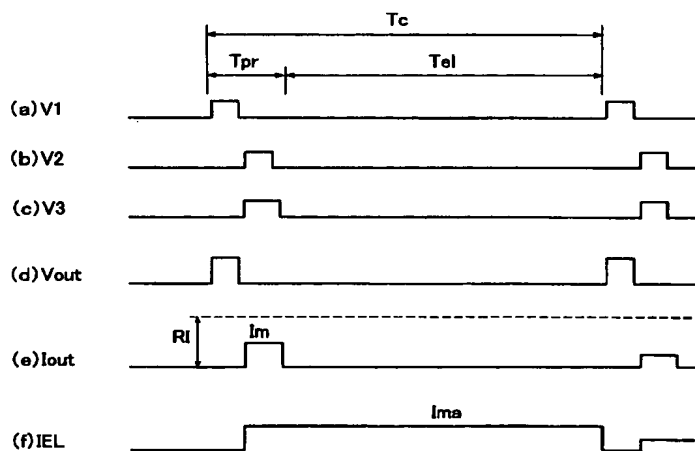
【図 7】



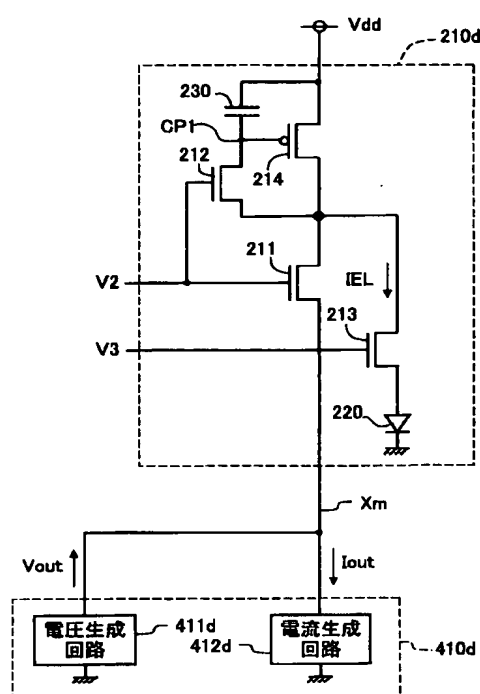
【図 9】



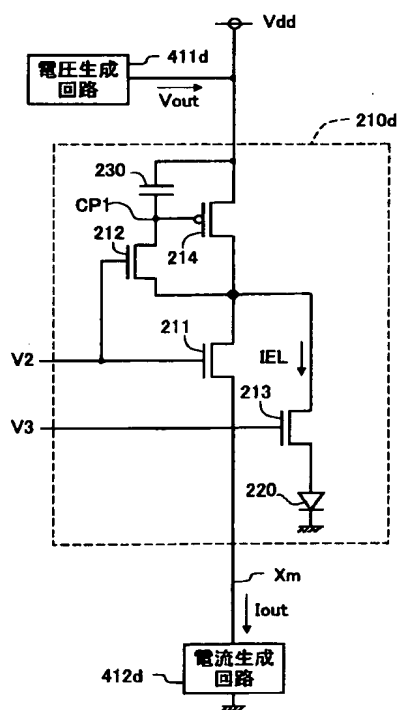
【図 11】



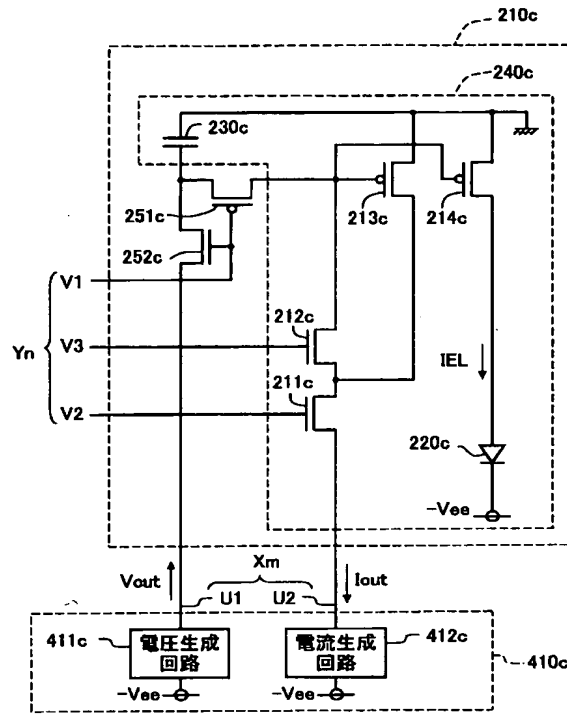
【図 12】



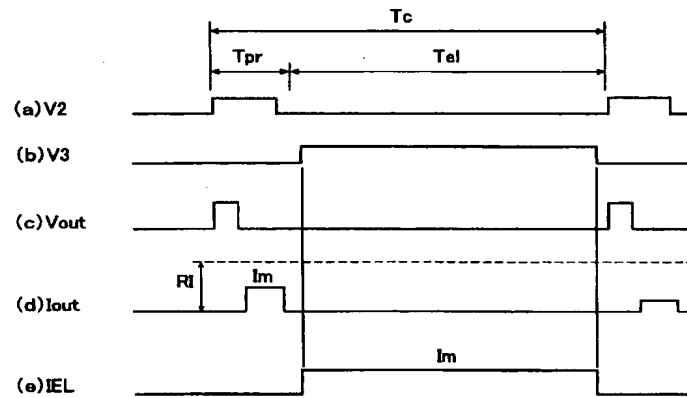
【図 14】



【図 10】



【図 13】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

H 0 5 B 33/14

識別記号

6 2 4

6 4 1

F I

G 0 9 G 3/20

H 0 5 B 33/14

テーマコード (参考)

6 2 4 B

6 4 1 S

A

F ターム(参考) 3K007 AB04 AB17 DB03 GA04  
5C080 AA06 BB05 DD03 EE29 FF11  
JJ02 JJ03 JJ04  
5C094 AA07 AA60 BA03 BA12 BA23  
BA27 CA19 CA25 GA00 HA08  
HA10